

3/14/02
8/13/02

Attorney Docket No. 1466.1052

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Seiichi IWASA, et al.

Application No.:

Group Art Unit:

Filed: December 28, 2001

Examiner:

For: METHOD AND DEVICE FOR DRIVING PLASMA DISPLAY PANEL

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-057618 and 2001-263684

Filed: March 2, 2001 and August 31, 2001, respectively

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: December 28, 2001

By: 

H. J. Staas
Registration No. 22,010

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

1c879 U.S. PTO
10/028367
12/28/01

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1c879 U.S. PTO
10/028367
12/28/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 3月 2日

出 願 番 号

Application Number:

特願2001-057618

出 願 人

Applicant(s):

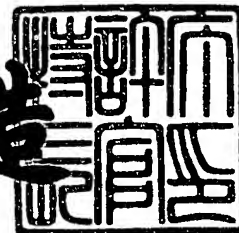
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 0095382

【提出日】 平成13年 3月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/28

【発明の名称】 プラズマディスプレイパネルの駆動方法および表示駆動装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 岩佐 誠一

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 粟本 健司

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100086933

 【弁理士】

 【氏名又は名称】 久保 幸雄

 【電話番号】 06-6304-1590

【手数料の表示】

 【予納台帳番号】 010995

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704487

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プラズマディスプレイパネルの駆動方法および表示駆動装置

【特許請求の範囲】

【請求項 1】

表示面を構成するセル群の電荷を均等化するリセット期間に、前記セル群に漸増電圧を印加するプラズマディスプレイパネルの駆動方法であって、

入力インピーダンスよりも出力インピーダンスが低いインピーダンス変換回路に漸増電圧信号を入力し、前記インピーダンス変換回路の出力信号を前記セル群に与える

ことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】

プラズマディスプレイパネルに対して、表示面を構成するセル群の電荷を均等化するための漸増電圧を印加する表示駆動装置であって、

容量素子および定電流源を有し、制御信号がアクティブのときに前記容量素子に電流を供給して漸増電圧波形を生成する波形生成回路と、

前記波形発生回路の出力インピーダンスを低減するインピーダンス変換回路と

前記制御信号がノンアクティブのときに、前記インピーダンス変換回路の入力端子と出力端子とを短絡するスイッチ回路とを有した

ことを特徴とする表示駆動装置。

【請求項 3】

前記インピーダンス変換回路が、ダーリントン接続された複数のトランジスタからなる

請求項 2 記載の表示駆動装置。

【請求項 4】

前記インピーダンス変換回路が電圧制御型トランジスタからなる

請求項 2 記載の表示駆動装置。

【請求項 5】

前記容量素子と前記定電流源との間、および電源ラインと前記インピーダンス

変換回路との間にそれぞれ逆流防止用のダイオードが設けられた

請求項 4 記載の表示駆動装置。

【請求項 6】

前記容量素子と前記定電流源との間に抵抗が設けられた

請求項 2 記載の表示駆動装置。

【請求項 7】

前記制御信号が、当該制御信号を電源電位を変位の基準とした信号に変換する
クランプ回路を介して前記定電流源に与えられる

請求項 2 記載の表示駆動装置。

【請求項 8】

前記定電流源の出力電流値を決める抵抗が可変抵抗である

請求項 2 記載の表示駆動装置。

【請求項 9】

前記スイッチ回路は、パルストランスを含むスイッチングドライバとそれにより
オンオフ制御されるスイッチング素子とを備え、前記パルストランスの一次側
には前記制御信号によって変調されたパルス列が入力され、前記パルストランス
の 2 次側出力を全波整流した信号によって前記スイッチング素子が制御される

請求項 2 記載の表示駆動装置。

【請求項 10】

前記波形発生回路、前記インピーダンス変換回路、および前記スイッチ回路を
それぞれ 1 対ずつ備え、対をなす回路が互いに極性の異なる半導体素子を含む相
補対称回路を構成し、プラズマディスプレイパネルに対して傾きが正の漸増電圧
の印加と傾きが負の漸増電圧の印加とを行う

請求項 2 記載の表示駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネル（PDP）の駆動方法および表示駆動
装置に関する。

【0002】

AC型のPDPでは、表示データに応じた電荷分布を形成するアドレッシングに先立って、全てのセルの電荷の均等化が行われる。均等化の良否がアドレッシングの成否に影響する。表示品質の向上を図るため、短い時間で高精度の均等化を行うことのできる駆動方法が望まれている。

【0003】

【従来の技術】

AC型PDPでは表示電極を覆う誘電体層のメモリ機能が利用される。すなわち、表示データに応じてセルの電荷量を制御するアドレッシングを行い、その後に表示電極対に対して交番極性の維持電圧 V_s を印加する。維持電圧 V_s は次式を満たす。

【0004】

$$V_f - V_w < V_s < V_f$$

V_f : 放電開始電圧

V_w : 電極間の壁電圧

維持電圧 V_s の印加によって、壁電荷の存在するセルのみにおいてセル電圧（電極に印加する電圧に壁電圧が重畳した実効電圧）が放電開始電圧 V_f を越えて表示放電が起こる。表示放電によって発光することを“点灯”という。一般に、維持電圧 V_s の印加周期は数マイクロ秒程度とされ、視覚的には発光が連続する。

【0005】

PDPのセルは2値発光素子であるので、中間調はセル毎に1フレームの放電回数を階調レベルに応じて設定することによって再現される。カラー表示は階調表示の一種であって、表示色は3原色の輝度の組合せによって決まる。階調表示には、1フレームを輝度の重み付けをした複数のサブフレームで構成し、サブフレーム単位の点灯の有無の組合せによって1フレームの総放電回数を設定する方法が用いられる。なお、インタレース表示の場合には、フレームを構成する複数のフィールドのそれぞれが複数のサブフィールドで構成され、サブフィールド単位の点灯制御が行われる。ただし、点灯制御の内容はプログレッシブ表示の場合と同様である。

【0006】

サブフレームには、アドレッシングを行うアドレス期間と輝度の重みに応じた回数の表示放電を生じさせる表示期間（サステイン期間ともいう）とに加えて、アドレッシングに先立って画面全体の帯電状態を均等にする初期化のためのリセット期間を割り当てる。表示期間の終了時点では、壁電荷が比較的に多く残存するセルとほとんど残存しないセルとが混在するので、表示の信頼性を高めるためにアドレッシング準備処理として初期化を行う。

【0007】

米国特許5745086号には、第1および第2のランプ電圧をセルに順に印加する初期化過程が開示されている。穏やかな勾配のランプ電圧を印加することにより、次に説明する微小放電の性質から、初期化における発光の光量を小さくしてコントラストの低下を防ぎ、かつセル構造のバラツキに係わらず壁電圧を任意の目標値に設定することができる。

【0008】

適量の壁電荷が存在するセルに振幅が漸増するランプ電圧を印加すると、ランプ電圧の傾きが緩やかであれば印加電圧の上昇途中に微小な放電が複数回起きる。さらに傾きを緩やかにすると放電強度が小さくなるとともに放電周期が短くなって、連続的な放電形態へと移行していく。以下の説明では、周期的な放電および連続的な放電を総称して、“微小放電”と呼称する。微小放電においては、ランプ波のピーク電圧値だけで壁電圧を設定することができる。なぜなら、微小放電中には、放電空間に加わるセル電圧 V_c （＝壁電圧 V_w ＋印加電圧 V_i ）が、ランプ電圧の上昇によって放電開始閾値（以下、 V_t という）を超えても、微小放電が起きることによってセル電圧が常に V_t 近傍に保たれるからである。微小放電により、ランプ電圧の上昇分とほぼ同等分だけ壁電圧が下がるのである。ランプ電圧の最終値を V_r 、ランプ電圧が最終値 V_r に達した時点の壁電圧を V_w とすると、セル電圧 V_c が V_t に保たれているので、

$$V_c = V_r + V_w = V_t$$

$$\therefore V_w = -(V_r - V_t)$$

の関係が成立する。 V_t はセルの電気的特性で決定される一定値であるので、ラ

ンプ電圧の最終値 V_r の設定によって、目的とする任意の値に壁電圧を設定することができる。つまり、セル間で V_t に微妙な差異があったとしても、全てのセルについてそれぞれの V_t と V_w との相対差を均等にすることができる。

【 0 0 0 9 】

微小放電を生じさせる初期化では、第 1 のランプ電圧の印加によって表示電極間に適量の壁電荷を形成する。その後、第 2 のランプ電圧の印加によって、表示電極間の壁電圧を目標値に近づける。

【 0 0 1 0 】

図 1 6 は従来の駆動回路の構成を示す図である。従来において、ランプ電圧を印加する手段として、FET（電界効果トランジスタ）と抵抗とを組み合わせた定電流回路 9 1 1、9 2 1 が用いられていた。正極性のランプ電圧を印加するための定電流回路 9 1 1 では、FET のドレインがセルの電極に接続され、ソースが抵抗を介して電位 +V の電源に接続される。FET のゲートにはドライバ 9 1 2 を介してオンオフ制御信号 S_{10} が与えられる。ドライバ 9 1 2 はフォトカプラに代表されるアイソレータ 9 1 3 を有しており、オンオフ制御信号 S_{10} を電源電位 +V を基準とした信号に変換する。FET のゲートをバイアスして FET をオン状態とすると、電源からセルへ電流が流れる。抵抗により電流が制限され、一定の電流 I_C がセルに供給される。放電が生じていないときのセルは電源に対して容量性の負荷 C_L となるので、一定電流の供給によりセルに対する印加電圧はほぼ一定の割合で増加する。接地回路 9 3 0 をアクティブにすると、負荷 C_L の電荷が接地ラインへ放出され、電極電位が接地電位になる。負極性のランプ電圧を印加するための定電流回路 9 2 1 の構成は、FET の極性が異なるものの基本的には定電流回路 9 1 1 と同様である。定電流回路 9 2 1 にはドライバ 9 2 2 を介してオンオフ制御信号 S_{20} が与えられる。ドライバ 9 2 2 はアイソレータ 9 2 3 を有しており、オンオフ制御信号 S_{20} を電源電位 -V を基準とした信号に変換する。FET をオン状態とすると、表示電極から電源へ電流 I_C が流れ、セルに対する負極性の印加電圧がほぼ一定の割合で増加する。

【 0 0 1 1 】

ここで具体例として、ドライバ 9 1 2 の出力電圧を 10 [V]、FET のゲ-

ト・ソース間閾値電圧を3 [V]、抵抗値を50 [Ω]とする。この場合、定電流回路911の出力電流 I_C は $(10-3)/50=0.14$ [A]となる。負荷 C_L を0.14 [μF]とすれば、ランプ波の勾配は $dV/dt = I_C/C_L = 1$ [V/ μs]となる。これは、0 [V]から漸増するランプ電圧が漸増開始から200 [μs]後に200 [V]に達することを意味している。

【0012】

【発明が解決しようとする課題】

図17は従来における駆動電圧の推移を示す図である。

微小放電が生じる以前は、定電流回路から供給される全電流によって負荷としての静電容量が充電される。微小放電が開始すると供給電流の一部が放電電流となり、静電容量を充電する電流が減る。したがって、印加電圧の増加率、すなわちランプ波形の傾きは一定ではなく放電の有無によって変化する。

【0013】

あるサブフレームのアドレッシング準備としての初期化において、1つ前のサブフレーム（以下、前サブフレームという）で全てのセルが消灯（非点灯）であった場合、初期化の開始時点においてセルには壁電荷がほとんど存在しないので、印加電圧が最終値+Vに近づいた時点で放電が開始する。このため、印加電圧が最終値+Vに達するまでの時間 T_{p1} は比較的短い。上述の具体値を適用すると、時間 T_{p1} は200 [μs]である。これに対して、前サブフレームで全てのセルが点灯であった場合には、初期化の開始時点においてセルに壁電荷が残存しているので、印加電圧が低い段階で放電が開始する。このため、印加電圧が最終値+Vに達するまでの時間 T_{p2} は比較的長い。例えば、印加電圧が100 [V]に達した時点で微小放電が始まり、ランプ波の勾配が1 [V/ μs]から0.5 [V/ μs]へ低下すると、時間 T_{p2} は300 [μs]になる。

【0014】

印加電圧パルスのパルス幅（印加の期間）は時間 T_{p2} を基準に設定される。従来ではランプ波形の傾きが放電によって大きく変化するので、パルス幅を短くすることができず、初期化の所要時間が長いという問題があった。アドレッシングや点灯維持に割り当て可能な時間を長くする上で、リセット期間をできるだけ

短くするのが望ましい。

【0015】

本発明は、放電による漸増電圧増加率の低下を防ぎ、リセット期間の短縮を図ることを目的としている。

【0016】

【課題を解決するための手段】

本発明においては、セル群に対する漸増電圧の印加に際して、印加電圧の波形を定める回路が出力する漸増電圧信号を、インピーダンス変換回路によって低インピーダンスの電圧信号としてセルに与える。これにより、波形の設定と電力供給とが実質的に分離され、供給電流量に係わらず所望の電圧をセルに印加することができる。

【0017】

電圧を印加しない期間において、インピーダンス変換回路の入力と出力とを短絡する。これにより、インピーダンス変換回路が他の駆動回路に対する負荷となるのを防ぐことができる。

【0018】

【発明の実施の形態】

図1は本発明に係る表示装置の構成図である。表示装置6は、 $m \times n$ 個のセルからなる表示面を有した面放電型のPDP1と、縦横に並ぶセルを選択的に発光させるためのドライブユニット50とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0019】

PDP1では、表示放電を生じさせるための電極対を構成する表示電極X、Yが平行配置され、これら表示電極X、Yと交差するようにアドレス電極Aが配列されている。表示電極X、Yは画面の行方向（水平方向）に延び、アドレス電極は列方向（垂直方向）に延びている。

【0020】

ドライブユニット50は、ドライバ制御回路51、データ変換回路52、電源回路53、Xドライバ61、Yドライバ64、およびAドライバ68を有してい

る。ドライブユニット 5 0 には T V チューナ、コンピュータなどの外部装置から R, G, B の 3 色の輝度レベルを示すフレームデータ D f が各種の同期信号とともに入力される。フレームデータ D f はデータ変換回路 5 2 の中のフレームメモリに一時的に記憶される。データ変換回路 5 2 は、フレームデータ D f を階調表示のためのサブフレームデータ D s f に変換して A ドライバ 6 8 へ送る。サブフレームデータ D s f は 1 セル当たり 1 ビットの表示データの集合であって、その各ビットの値は該当する 1 つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。X ドライバ 6 1 は、表示電極 X に初期化のためのパルス印加するリセット回路 6 2、および表示電極 X にサステインパルス印加するサステイン回路 6 3 からなる。Y ドライバ 6 4 は、表示電極 Y に初期化のためのパルス印加するリセット回路 6 5、アドレッシングにおいて表示電極 Y にスキャンパルス印加するスキャン回路 6 6、および表示電極 Y にサステインパルス印加するサステイン回路 6 7 からなる。A ドライバ 6 8 は、サブフレームデータ D s f が指定するアドレス電極 A にアドレスパルス印加する。なお、パルスの印加とは、電極を一時的に所定電位にバイアスすることを意味する。

【 0 0 2 1 】

ドライバ制御回路 5 1 は、パルスの印加およびサブフレームデータ D s f の転送を制御する。電源回路 5 3 はユニット内の必要箇所に駆動電力を供給する。

図 2 は P D P のセル構造の一例を示す図である。

【 0 0 2 2 】

P D P 1 は一対の基板構体（ガラス基板上にセル構成要素を設けた構造体） 1 0, 2 0 からなる。前面側のガラス基板 1 1 の内面に、n 行 m 列の表示面 E S の各行に一対ずつ表示電極 X, Y が配置されている。表示電極 X, Y は、面放電ギャップを形成する透明導電膜 4 1 とその端縁部に重ねられた金属膜 4 2 とからなり、誘電体層 1 7 および保護膜 1 8 で被覆されている。背面側のガラス基板 2 1 の内面に 1 列に 1 本ずつアドレス電極 A が配列されており、これらアドレス電極 A は誘電体層 2 4 で被覆されている。誘電体層 2 4 の上に放電空間を列毎に区画する隔壁 2 9 が設けられている。隔壁パターンはストライプパターンである。誘電体層 2 4 の表面および隔壁 2 9 の側面を被覆するカラー表示のための蛍光体層

2 8 R, 2 8 G, 2 8 B は、放電ガスが放つ紫外線によって局部的に励起されて発光する。図中の斜体文字 (R, G, B) は蛍光体の発光色を示す。色配列は各列のセルを同色とする R, G, B の繰り返しパターンである。

【 0 0 2 3 】

以下、表示装置 1 0 0 における P D P 1 の駆動方法を説明する。

図 3 はフレーム分割の概念図である。P D P 1 による表示では、2 値の点灯制御によってカラー再現を行うために、入力画像である時系列のフレーム F を所定数 q のサブフレーム S F に分割する。つまり、各フレーム F を q 個のサブフレーム S F の集合に置き換える。これらサブフレーム S F に順に 2^0 , 2^1 , 2^2 , \dots , 2^{q-1} の重みを付けて各サブフレーム S F の表示放電の回数を設定する。サブフレーム単位の点灯／非点灯の組合せで R G B の各色毎に $N (= 1 + 2^1 + 2^2 + \dots + 2^{q-1})$ 段階の輝度設定を行うことができる。図ではサブフレーム配列が重みの順であるが、他の順序であってもよい。このようなフレーム構成に合わせてフレーム転送周期であるフレーム期間 T_f を q 個のサブフレーム期間 T_{sf} に分割し、各サブフレーム S F に 1 つのサブフレーム期間 T_{sf} を割り当てる。さらに、サブフレーム期間 T_{sf} を、初期化のためのリセット期間 T_R 、アドレッシングのためのアドレス期間 T_A 、および点灯のための表示期間 T_S に分ける。リセット期間 T_R およびアドレス期間 T_A の長さが重みに係わらず一定であるのに対し、表示期間 T_S の長さは重みが大きいほど長い。したがって、サブフレーム期間 T_{sf} の長さも、該当するサブフレーム S F の重みが大きいほど長い。

【 0 0 2 4 】

図 4 は駆動シーケンスの概要を示す電圧波形図である。図において表示電極 X, Y の参照符号の添字 (1, n) は対応する行の配列順位を示し、アドレス電極 A の参照符号の添字 (1, m) は対応する列の配列順位を示す。なお、図示の波形は一例であり、振幅・極性・タイミングを種々変更することができる。

【 0 0 2 5 】

リセット期間 T_R ・アドレス期間 T_A ・表示期間 T_S の順序は q 個のサブフレーム S F において共通であり、駆動シーケンスはサブフレーム毎に繰り返される。各サブフレーム S F のリセット期間 T_R においては、全ての表示電極 X に対し

て負極性のパルス P_{rx1} と正極性のパルス P_{rx2} とを順に印加し、全ての表示電極 Y に対して正極性のパルス P_{ry1} と負極性のパルス P_{ry2} とを順に印加する。パルス P_{rx1} , P_{rx2} , P_{ry1} , P_{ry2} は微小放電が生じる変化率で振幅が漸増するランプ波形パルスである。最初に印加されるパルス P_{rx1} , P_{ry1} は、前サブフレームにおける点灯／非点灯に係わらず全てのセルに同一極性の適当な壁電圧を生じさせるために印加される。適度の壁電荷が存在するセルにパルス P_{rx2} , P_{ry2} を印加することにより、壁電圧を放電開始電圧とパルス振幅との差に相当する値に調整することができる。なお、表示電極 X , Y の片方のみパルスを印加して初期化を行うことができるが、図示のように表示電極 X , Y の双方に互いに反対極性のパルスを印加することによりドライバ回路素子の低耐圧化を図ることができる。セルに加わる駆動電圧は、表示電極 X , Y に印加されるパルスの振幅を加算した合成電圧である。

【 0 0 2 6 】

アドレス期間 T_A においては、点灯すべきセルのみに点灯維持に必要な壁電荷を形成する。全ての表示電極 X および全ての表示電極 Y を所定電位にバイアスした状態で、行選択期間（1行分のスキャン時間）毎に選択行に対応した1つの表示電極 Y に負極性のスキャンパルス P_y を印加する。この行選択と同時にアドレス放電を生じさせるべき選択セルに対応したアドレス電極 A のみにアドレスパルス P_a を印加する。つまり、選択行の m 列分のサブフレームデータ D_{sf} に基づいてアドレス電極 $A_1 \sim A_m$ の電位を2値制御する。選択セルでは表示電極 Y とアドレス電極 A との間の放電が生じ、それがトリガとなって表示電極間の面放電が生じる。これら一連の放電がアドレス放電である。

【 0 0 2 7 】

サステイン期間 T_S においては、最初に全ての表示電極 Y に対して所定極性（例示では正極性）のサステインパルス P_s を印加する。その後、表示電極 X と表示電極 Y とに対して交互にサステインパルス P_s を印加する。サステインパルス P_s の振幅は維持電圧（ V_s ）である。サステインパルス P_s の印加によって、所定の壁電荷が残存するセルで面放電が生じる。サステインパルス P_s の印加回数は、上述したとおりサブフレームの重みに対応する。なお、サステイン期

間TSにわたって不要の放電を防止するためにアドレス電極AをサステインパルスPsと同極性にバイアスする。

【0028】

以上の駆動シーケンスのうち、本発明に深く係わるのはリセット期間TRにおけるランプ波形パルスの印加である。以下では、代表としてパルスPr y 1, Pr y 2の印加手段であるYドライバ64のリセット回路65を取り上げ、その構成および動作を説明する。パルスPr x 1, Pr x 2の印加手段であるXドライバ61のリセット回路62の構成は、極性の差異があるものの基本的にはリセット回路65と同様である。

【0029】

図5はYドライバのリセット回路の構成図である。リセット回路65は、パルスPr y 1をPDP1に印加するための正電圧出力ブロック71、パルスPr y 2をPDP1に印加するための負電圧出力ブロック72、および出力端子Pを接地するための接地ブロック73から構成されている。出力端子Pには複数の表示電極Yが接続され、各表示電極Yと対をなす表示電極XはXドライバ61に接続される。表示電極Yを接地電位に対してバイアスすることにより、表示電極間に表示電極Xの電位に応じた電圧が加わる。以下では表示電極間の静電容量を負荷 C_L とする。なお、出力端子Pにはスキャン回路66およびサステイン回路67も接続されている。

【0030】

〔第1実施例〕

図6は電圧出力ブロック対の第1例の機能構成図である。正電圧出力ブロック71は、制御信号S1がアクティブのときに漸増電圧信号SV1を出力する波形生成回路711、波形生成回路711の出力インピーダンスを低減するインピーダンス変換回路712、および制御信号S1がノンアクティブのときにインピーダンス変換回路712の入力端子と出力端子とを短絡するスイッチ回路713からなる。波形生成回路711は、容量素子C1および定電流源715を有し、容量素子C1に電流を供給して漸増電圧波形を生成する。同様に、負電圧出力ブロック72も、波形生成回路721とインピーダンス変換回路722とスイッチ回

路 723 とからなる。波形生成回路 721 は、容量素子 C2 および定電流源 725 を有し、制御信号 S2 がアクティブのときに漸増電圧信号 SV2 を出力する。

【0031】

図 7 は正電圧出力ブロックの第 1 例を示す回路図、図 8 は負電圧出力ブロックの第 1 例を示す回路図である。正電圧出力ブロック 71 において、波形生成回路 711 の定電流源 715 は、P チャンネル MOS 型電界効果トランジスタ Q1、ソース抵抗 R1、およびゲートドライバ 716 から構成されている。インピーダンス変換回路 712 は、NPN 型トランジスタ Q2 からなるエミッタフォロワである。そして、スイッチ回路 713 は、N チャンネル MOS 型電界効果トランジスタ Q3、スイッチングドライバ 718、およびインバータ 719 からなる。一方、負電圧出力ブロック 72 において、波形生成回路 721 の定電流源 725 は、N チャンネル MOS 型電界効果トランジスタ Q5、ソース抵抗 R2、およびゲートドライバ 726 から構成されている。インピーダンス変換回路 722 は、PNP 型トランジスタ Q6 からなるエミッタフォロワである。そして、スイッチ回路 723 は、P チャンネル MOS 型電界効果トランジスタ Q7、スイッチングドライバ 728、およびインバータ 729 からなる。これら正電圧出力ブロック 71 および負電圧出力ブロック 72 は出力端子 P で接続されており、負荷 C_L に対する相補対称回路を構成する。

【0032】

次に正電圧出力ブロック 71 を代表に挙げて回路動作を説明する。

制御信号 S1 が入力されると、ゲートドライバ 716 は電源電位 +V を基準とした振幅が -10 [V] の信号をトランジスタ Q1 のゲートへと出力する。同時に、制御信号 S1 の反転信号がスイッチングドライバ 718 へ入力され、それまで 10 [V] であったドライバ出力が 0 [V] になる。これによりトランジスタ Q3 がオン状態からオフ状態へ切り換わり、インピーダンス変換回路 712 における入出力の短絡が解除される。ソース抵抗 R1 の抵抗値を r_1 とすると、トランジスタ Q1 の閾値電圧が約 3 [V] なので、トランジスタ Q1 のドレインには $I = (10 - 3) / r_1$ [A] の電流が流れる。この電流値はゲートドライバ 716 の出力電圧とソース抵抗 R1 とで定まるので、定電流源 715 はトランジス

タ Q 1 のドレインに接続された負荷の状態に影響されずに動作する。この時点でスイッチ回路 7 1 3 はオフであるので、定電流 I が容量素子 C 1 を充電し、トランジスタ Q 1 と容量素子 C 1 との接続点には一定勾配のランプ波が発生する。

【 0 0 3 3 】

定電流 I で容量素子 C 1 を充電した場合の勾配 dV/dt は、容量値を c_1 とすると、 $I = dQ/dt = c_1 dV/dt$ より、 I/c_1 となる。具体的には、 $r_1 = 700 [\Omega]$ 、 $c_1 = 0.01 [\mu F]$ である場合には、 $I = 0.01 [A]$ であるので、 $dV/dt = 1 [V/\mu s]$ の勾配をもつランプ波が発生する。なお、容量素子 C 1 としては、+V 以上の耐圧をもち、積層フィルムコンデンサに代表される圧電効果のない素子を使用するのが望ましい。セラミックコンデンサを使用すると、圧電効果のために印加電圧に応じて容量値が変化し、電源電位 +V を変えると勾配が変わる。これに対して圧電効果のない素子を用いれば、電源電位 +V を変えても勾配が変わらないので、調整の手間が省ける。

【 0 0 3 4 】

発生したランプ波はインピーダンス変換回路 7 1 2 におけるトランジスタ Q 2 のベースへ入力され、電流増幅されたランプ波がエミッタから負荷 C_L へ出力される。コレクタ接地されたトランジスタ Q 2 の出力インピーダンスは入力インピーダンスの $1/h_{FE}$ 、例えば約 $1/100$ である。

【 0 0 3 5 】

制御信号 S 1 が入力されてから例えば $200 [\mu s]$ が経過した時点で制御信号 S 1 がノンアクティブになると、定電流源 7 1 5 がオフとなる一方で、トランジスタ Q 3 がオンとなってトランジスタ Q 2 のベース・エミッタ間を短絡する。この時点から約 $500 \sim 1 [ns]$ 後に接地回路 7 3 (図 5 参照) が動作し、出力端子 P は強制的に接地電位にクランプされ、負荷 C_L に蓄積されていた電荷は接地回路 7 3 に吸収される。また、容量素子 C 1 に蓄積されていた電荷も、トランジスタ Q 3 を通って接地回路 7 3 に吸収される。

【 0 0 3 6 】

以上の動作により、ランプ波形出力が得られる。ただし、この実施例の場合は、トランジスタ Q 2 のベース電流の影響があるため、出力波形は一定勾配の直線

状にはならず、やや丸みを帯びた指数関数的な波形となる。多少の丸みは実用に差し支えない。

【 0 0 3 7 】

インピーダンス変換回路 7 1 2 として採用されたエミッタフォロワは入力信号がない場合にも常にアクティブ状態にあるという特徴をもち、その出力は交流的には低インピーダンスで接地ラインに繋がっている。言い換えれば、出力端子 P が容量値無限大のコンデンサを介して接地ラインに繋がっているとみなすことができる。本実施例では、ランプ波が出力されていない期間には、インピーダンス変換回路 7 1 2 の入出力間をスイッチ回路 7 1 3 によって短絡することにより、トランジスタ Q 2 が完全にオフ状態となる。したがって、出力端子 P からはインピーダンス変換回路 7 1 2 が 1 0 0 [p F] 程度の微小容量にしか見えない。出力端子 P から見た負荷となるのはトランジスタ Q 3 を通して見える容量素子 C 1 だけとなる。容量値 c 1 については、また、定電流源の電流との兼ね合いはあるものの、ある程度任意に選定することができるので、負荷 C_L に比べて十分に小さい値とすることにより、スキャン回路 6 6 やサステイン回路 6 7 への影響を無くすことができる。トランジスタ Q 1 としては正の電源電位 + V と負の電源電位 - V との差以上の耐圧が必要なものの、電流容量は 1 0 0 [m A] もあればよく、例えば 2 S J 1 8 1 を使用することができる。トランジスタ Q 2 には少なくとも数百 [m A] の電流容量とトランジスタ Q 1 と同じ耐圧が必要である。トランジスタ Q 2 として、例えば 2 S C 3 8 4 0 を使用することができる。トランジスタ Q 3 には数ボルト以上の電圧は印加されないものの、接地回路 7 3 が負荷 C_L の電荷を急速に引き抜く際に発生する数アンペアのピーク電流に耐えることが要求される。トランジスタ Q 3 の好適例としては 2 S K 2 2 3 1 がある。

【 0 0 3 8 】

以上の説明は便宜的に正極性側の動作についてのものであったが、負電圧出力ブロック 7 2 も極性が異なるだけで正電圧出力ブロック 7 1 と同様に動作する。具体的に型番の一例を挙げるとすれば、トランジスタ Q 5 として 2 S K 1 1 5 2 を、トランジスタ Q 6 として 2 S A 1 4 8 6 を、トランジスタ Q 7 として 2 S J 3 7 7 を使用することができる。

【0039】

第1実施例において、定電流源715, 725にMOS型電界効果トランジスタに代えてバイポーラトランジスタを用いてもよい。その場合、定電流Iは $I = (10 - V_{BE}) / r_1 = (10 - 0.7) / r_1$ [A] となる。スイッチ回路713, 723についてもバイポーラトランジスタをスイッチング素子として用いることができる。また、インピーダンス変換回路712, 722を構成するトランジスタQ2, Q6のベースと波形生成回路711, 721との間に電流制限抵抗を挿入して動作の最適化を図るという変形もある。さらに、制御信号S1, S2を反転させてスイッチングドライバ718, 728に与える構成に限らず、制御信号S1, S2と少しタイミングが異なるスイッチング制御信号を別に供給するようにして、全体の回路動作の最適化を図ってもよい。

【0040】

以下、他の実施例を説明する。他の実施例の図示において、上述の第1実施例と同じ構成要素については簡略化して描くとともに、第1実施例と同じ符号を付す。

【0041】

〔第2実施例〕

図9は電圧出力ブロック対の第2例を示す回路図である。第2実施例における正電圧出力ブロック71bおよび負電圧出力ブロック72bの特徴は、インピーダンス変換回路712b, 722bがダーリントン接続された複数のトランジスタからなることである。

【0042】

上述の第1実施例は、微小放電とランプ波による電流とを合計した電流値が数十[mA]以下である負荷 C_L の小さい小型パネル用駆動回路としては、十分にその機能を発揮する。しかし、合計電流が数百[mA]にも達する42インチサイズまたはそれを越える大型のPDPを駆動する場合には問題が生じてくる。すなわち、電流が大きくなるにつれて、出力電流の変化に対する勾配の変化が大きくなってしまう。この原因はインピーダンス変換回路のベース電流にある。インピーダンス変換回路の出力電流を I_c とすると、ベースには $I_b = I_c / h_{FE}$ (

h_{FE} は電流増幅率)の電流が流れる。第1実施例の場合には h_{FE} が約100であるため、50[mA]の出力電流が流れたとき、インピーダンス変換回路に流れ込むベース電流は0.5[mA]となる。一方、 $r_1 = 700[\Omega]$ のとき定電流源715, 725は $I = 10[\text{mA}]$ の電流を発生している。第1実施例の説明では便宜上この電流すべてで容量素子C1を充電すると仮定した計算を示したが、実際の充電電流は $I - I_b$ であり、具体例では9.5[mA]の電流で充電するのが現実である。したがって、充電電流を10[mA]にするためには定電流源715, 725の電流を10.5[mA]にする必要があり、ソース抵抗R1の抵抗値 r_1 を667 $[\Omega]$ としなければならない。インピーダンス変換回路712b, 722bの出力電流が500[mA]となる大型PDPの駆動では、ベース電流が定電流源715, 725の電流の半分に相当する5[mA]となり、容量素子C1の充電電流は5[mA]にまで減少してしまう。 r_1 を変更して15[mA]の電流が流れるようにしたとしても、微小放電が起こっていない状態では出力電流が250[mA]になるので、ベース電流は25[mA]となり、12.5[mA]の電流で容量素子C1を充電することになってしまう。すなわち、ベース電流の値が容量素子C1の充電電流に比べて無視できない値の場合には、出力電流の変動に伴って勾配一定のランプ波発生のための要である容量素子C1の充電電流が変化してしまうのである。このような問題を解決するため、第2実施例ではダーリントン接続が採用されている。

【0043】

ダーリントン接続における電流増幅率は各トランジスタの電流増幅率の積になることが知られている。例えば、インピーダンス回路712bのトランジスタQ4に2SC4002、トランジスタQ2に2SC3840を使用した場合には、各々のトランジスタQ4, Q2の h_{FE} がそれぞれ100程度であるから、全体での電流増幅率は $100 \times 100 = 10000$ となる。したがって、出力電流が500[mA]の場合のベース電流は0.05[mA]となり、出力電流が250[mA]の場合のベース電流は0.025[mA]となる。微小放電の有無によるベース電流の変化は容量素子C1の充電電流10[mA]の0.25%であり、これを無視することができる。なお、ダーリントン接続は2段に限定されるも

のではなく、必要に応じて 3 段、4 段としてもよい。

【0044】

負極性側のインピーダンス変換回路 722b におけるトランジスタ Q8, Q6 のダーリントン接続の効果は、正極性側のインピーダンス変換回路 712b と同様である。トランジスタ Q8 として 2SA1699 を、トランジスタ Q6 として 2SA1486 をを使用することができる。

【0045】

第 2 実施例によれば、第 1 実施例と比べてインピーダンス変換回路の入力電流の影響が小さくなるので、勾配がより直線に近いランプ波形出力を得ることができる。

【0046】

〔第 3 実施例〕

図 10 は電圧出力ブロック対の第 3 例を示す回路図である。第 3 実施例における正電圧出力ブロック 71c および負電圧出力ブロック 72c の特徴は、インピーダンス変換回路 712c, 722c として電界効果トランジスタ Q12, Q16 からなるソースフォロワが採用されていることである。第 1 実施例における波形が鈍る問題はバイポーラトランジスタのベース電流に起因する。電圧制御素子である電界効果トランジスタ Q12, Q16 によってインピーダンス変換回路 712c, 722c を構成すれば、ベース電流に起因する問題が解消される。

【0047】

第 3 実施例では、容量素子 C1 を充電することによって発生したランプ波がトランジスタ Q12, Q16 のゲートに入力される。ドレイン接続されたトランジスタ Q12, Q16 のソースには低インピーダンスのランプ波出力が現れる。第 1 実施例および第 2 実施例とは違って、波形生成回路 711, 721 からインピーダンス変換回路 712c, 722c へと流れる電流が全くない。これにより、容量素子 C1 の Q ファクターが非常に大きくなり、ランプ波の振幅は理論どおり直線的に増大する。また、出力電流の大きさが入力側には全く影響を及ぼさない。出力電流にかかわらず一定勾配のランプ波を PDP1 へと供給することができる。トランジスタ Q12, Q16 として 2SK2045, 2SJ459 を使

用することができる。なお、MOSFETに限定されるものではなく、絶縁ゲートバイポーラトランジスタ（IGBT）、接合型FETといった他の電圧制御素子を使用してもよい。また、ゲートに抵抗を挿入して不要な振動を抑える変形も可能である。

【0048】

〔第4実施例〕

図11は電圧出力ブロック対の第4例を示す回路図である。第4実施例における正電圧出力ブロック71dおよび負電圧出力ブロック72dの特徴は、波形生成回路711d、721dおよびインピーダンス変換回路712d、722dが、電源との短絡を防止するダイオードD1、D2、D3、D4を有することである。

【0049】

上述の3つの実施例では、ランプ波発生のための電源電圧 $+V$ 、 $-V$ がサステイン回路67やスキャン回路66といった他の駆動回路の電源電圧よりも高いことが前提であった。しかし、パネル構造や駆動回路の構成によっては他の駆動回路の電源電圧の方が高くなる場合がある。本実施例はこれに対処するためのものである。

【0050】

図11において破線で示すように、トランジスタQ1、Q2、Q12、Q16のドレイン・ソース間には、その素子の極性とは逆向きの寄生ダイオードが必ず挿入されている。これはMOSFETの素子構造に起因する。仮に正電圧出力ブロック71dにおいてダイオードD1、D2が無い場合に出力端子Pの電位が電源電位 $+V$ より高くなったとすると、出力端子Pは $P \rightarrow Q3 \rightarrow Q1$ の経路と $P \rightarrow Q12$ の経路とによって電源と短絡されてしまう。ダイオードD1、D2はこれら経路を絶って電源との短絡を防止する。通常のランプ波発生時においては、ダイオードD1、D2は順方向にバイアスされるため、約0.7[V]の電圧降下があるだけで、回路の動作には何ら影響を及ぼさない。ダイオードD1、D2の耐圧としては、出力端子Pの最高電位を V_m とすれば、 $V_m - (+V)$ [V]が必要である。電流容量については、ダイオードD1において100 [mA]以上

、ダイオードD2において数百mA [mA] 以上が必要である。負極性側のブロックも全く同様である。ダイオードD1, D3としては1NZ61を、ダイオードD2, D4としてはG16Sを使用することができる。

【0051】

〔第5実施例〕

図12は電圧出力ブロック対の第5例を示す回路図である。第5実施例における正電圧出力ブロック71eおよび負電圧出力ブロック72eの特徴は、波形生成回路711e, 721eが、電流制限抵抗R11, R12を有することである。

【0052】

正電圧出力ブロック71eにおいて、制御信号S1がノンアクティブに変わった後、接地回路の動作によって容量素子C1の電荷がスイッチ回路713および出力端子Pを通して接地回路へ吸収される。このときに流れる電流のピーク値を抵抗R11が抑制する。仮に、抵抗R11が無くて容量素子C1が直接にスイッチ回路713（トランジスタQ3）に接続されているものとする、接地動作時にスイッチ回路713に流れる電流の波形は、ピーク値7 [A]、幅約200 [ns]のインパルス波形となる。図12のように、例えば100 [Ω]の抵抗R11を定電流源715と容量素子C1との間に挿入した場合には、接地動作時にスイッチ回路713に流れる電流の波形は、ピーク値1.8 [A]、幅約800 [ns]の正規分布状波形となる。抵抗R11の値がインピーダンス変換回路722cの入力インピーダンスに比べて十分に小さい数キロオーム以下であれば、容量素子C1の充電に対して抵抗R11は全く影響を与えない。このように電流制限抵抗R11を接続することによって、容量素子C1が放電する際のピーク電流を抑制することができ、スイッチ回路713に使用する半導体素子の選択の自由度をを上げることができる。負極性側についても全く同様である。

【0053】

〔第6実施例〕

図13は正電圧出力ブロックの第6例を示す回路図、図14は負電圧出力ブロックの第6例を示す回路図である。第6実施例における正電圧出力ブロック71

f および負電圧出力ブロック 7 2 f の特徴は、波形生成回路 7 1 1 f, 7 2 1 f の定電流源 7 1 5 f, 7 2 5 f が、フローティング電源を用いない構成のゲートドライバ 7 1 6 f, 7 2 6 f、および可変抵抗 R 1 f, R 2 f を有することである。

【 0 0 5 4 】

図 1 6 に示したゲートドライバ 9 1 2, 9 2 2 は、制御信号 S 1 0, S 2 0 をフォトカプラで受け、電位的に入力信号と絶縁された振幅約 1 0 [V] の信号を出力する。この構成では、フォトカプラの出力側に接地ラインから絶縁された + 1 2 [V] と - 1 2 [V] のフローティング電源が必要である。しかし、回路の価格を低減するために、フローティング電源を使用しないという要望がある。本実施例は、この要望に応えるものである。

【 0 0 5 5 】

正極性側のゲートドライバ 7 1 6 f は、ロジックレベルの制御信号 S 1 を約 1 0 [V] の振幅まで反転増幅するパルス増幅器 F 1、電位分離のためのカップリングコンデンサ C 3、クランプダイオード D 5、クランプ抵抗 R 3、およびゲート抵抗 R 4 から構成される。同様に、負極性側においても、ゲートドライバ 7 1 6 f は、パルス増幅器 F 2、カップリングコンデンサ C 4、クランプダイオード D 6、クランプ抵抗 R 5、およびゲート抵抗 R 6 から構成される。また、定電流源 7 1 5 f, 7 2 5 f において出力電流値を決定するソース抵抗 R 1 f, R 2 f は固定でもよいが、この例では電流値を自由に設定できるように可変抵抗とされている。

【 0 0 5 6 】

代表として正極性側の回路動作を説明する。パルス増幅器 F 1 によって増幅された制御信号 S 1 がカップリングコンデンサ C 3 を介してトランジスタ Q 1 のゲートに印加される。カップリングコンデンサ C 3、ダイオード D 5、および抵抗 R 3 は、時定数 $C 3 \times R 3$ をもつクランプ回路を構成する。この時定数が入力制御信号のパルス幅より十分に大きい場合には、パルス増幅器 F 1 の出力信号は電源電位 + V を基準として + V - 1 0 [V] まで下がるパルス信号となる。なお、ゲート抵抗 R 4 は数十オームの値をもつ動作安定化のための素子であり、パルス

信号の振幅には影響を与えない。例えばカップリングコンデンサC3の値=0.1 [μ F]、R3の値=220 [Ω] の場合の時定数は22 [ms] となり、制御信号のパルス幅が200 [μ s] の場合でもパルス平坦部の振幅低下(サグ)は1%以下に収まる。パルス増幅器F1にはIC化されたTC4425を、ダイオードD5には1S1588(小信号ダイオード)を使用すればよい。

【0057】

ソース抵抗R1fの値をr1fとすると、トランジスタQ1の閾値電圧は約3 [V] なので、トランジスタQ1のドレインには $I = (10 - 3) / r1f$ [A] の電流が流れる。したがって、r1fを可変とすることによりトランジスタQ1のドレイン電流を自由に設定することができる。

【0058】

図14に示す負極性側の構成部品および動作については、ゲートドライバ726のパルス増幅器F2が非反転増幅器であることを除いて、正極性側と全く同様である。パルス増幅器F1に使用したTC4425には反転増幅器と非反転増幅器とが一個ずつ集積化されているのでパルス増幅器F2には残りの半分を使用すればよい。

【0059】

図15はスイッチングドライバの構成例を示す回路図である。ここでは、電力出力対の構成として上述の第3実施例を図示したが、他の実施例にも以下に説明する構成のスイッチングドライバを適用することができる。

【0060】

正極性側のスイッチ回路713におけるスイッチングドライバ718は、リングカウンタRC1、インバータF3、トランジスタQ31、パルストランスT1、および整流回路SR1を有する。同様に、負極性側のスイッチ回路723におけるスイッチングドライバ728も、リングカウンタRC2、インバータF4、トランジスタQ32、パルストランスT2、および整流回路SR2を有する。これらスイッチングドライバ718、728は、電位不定の出力端子Pに繋がるトランジスタQ3、Q7のオンオフを、フローティング電源によらずに実現する。

【0061】

正極性側のスイッチングドライバ 7 1 8 および負極性側のスイッチングドライバ 7 2 8 は、整流回路 S R 1, S R 2 のダイオードの極性が反対なだけで全く同様に動作する。スイッチングドライバ 7 1 8, 7 2 8 において、リングカウンタ R C 1, R C 2 は遅延素子（例えば 7 4 L S 3 1）で構成されており、イネーブル端子がハイレベルである限りは、幅約 1 0 0 [n s] で繰り返し約 5 [M H z] のキャリアパルスを発生する。制御信号 S 1, S 2 がインバータ 7 1 9, 7 2 9（例えば 7 4 L S 0 4）に入力されると、リングカウンタ R C 1, R C 2 のイネーブル端子がローレベルとなり、リングカウンタ R C 1, R C 2 はキャリアパルスの発生を停止する。制御信号 S 1, S 2 がノンアクティブになると、リングカウンタ R C 1, R C 2 は再びキャリアパルスの発生を開始する。このようにして制御信号 S 1, S 2 で変調されたキャリア信号を得る。キャリア信号はインバータ F 3, F 4 で反転された後、トランジスタ Q 3 1, Q 3 2 のベースへ印加され、コレクタ側に接続されたパルストランス T 1, T 2 の一次側を駆動する。トランジスタ Q 3 1, Q 3 2 のエミッタに接続された抵抗 R 3 1, R 3 2 はトランジスタ Q 3 1, Q 3 2 の動作を安定化するための帰還抵抗である。パルストランス T 1, T 2 は、例えばトロイダルコアに 0. 4 ミリメートル径のペア線を約 1 0 回巻いた 1 : 1 のトランスであり、二次側には 1 5 [V] を中心とした振幅約 1 2 [V] のキャリア信号が現れる。このキャリア信号はダイオードブリッジからなる整流回路 S R 1, S R 2 によって全波整流されるとともに、トランジスタ Q 3, Q 7 のゲート・ソース間容量（約 1 0 0 0 [p F]）と抵抗 R 3 8, R 4 0 の時定数によって平滑され、振幅約 1 0 [V] のスイッチング信号となる。トランジスタ Q 3 は制御信号 S 1 が入力されている期間だけオフとなり、トランジスタ Q 7 は制御信号 S 2 が入力されている期間だけオフとなる。なお、抵抗 R 3 7, R 3 9 はトランジスタ Q 3, Q 7 のゲート電荷を引き抜いてトランジスタ Q 3, Q 7 を確実にオフさせるためのゲート抵抗、抵抗 R 3 3, R 3 4 はトランジスタ Q 3 1, Q 3 2 のバイアス抵抗、抵抗 R 3 5, R 3 6 はインバータ F 3, F 4 のハイレベル出力を 5 [V] へ引き上げるためのプルアップ抵抗、コンデンサ C 3 5, C 3 6 はトランジスタ Q 3 1, Q 3 2 に直流が流れ込まないようにするためのカップリングコンデンサである。トランジスタ Q 3 1, Q 3 2 としては、

コレクタに100[mA]に近いパルス電流が流れ、30V以上の耐圧が必要なので2SC2720を使用するのがよい。また、インバータF3、F4としては、電流容量の大きいバッファIC（例えば74LS37）を使用するのが望ましい。全波整流のためのダイオードは1S1588に代表される一般のスイッチングダイオードでよい。

【0062】

トランジスタQ3、Q7は制御信号S1、S2が入力されている期間のみオフとなり、それ以外の期間はオンしている。したがって、トランジスタQ3、Q7のゲートにはオン状態を維持するだけのエネルギーを常に供給する必要がある。このような条件の下では、制御信号S1、S2をそのままパルストランスT1、T2の一次側に供給する方式は、低周波を伝送するためにトランスの形状が極めて大きくなってしまうので不適当である。本実施例によるキャリア信号を利用した方式では、パルストランスT1、T2は約5[MHz]のキャリアパルスを伝送できればよいので、形状が大幅に縮小できる。例えば、外形10[mm]、内径5[mm]、厚さ5[mm]のフェライト製トロイダルコアに0.4ミリメートル径のペア線を10回巻いたもので十分である。

【0063】

以上の第1～第6実施例では、GND電位（0ボルト）を基準に正側と負側とを定めた回路例を挙げたが、GND電位以外の正（+）または負（-）の電位を基準とし、それよりも高い電位および低い電位のランプ波電圧を出力することも可能である。

【0064】

【発明の効果】

請求項1ないし請求項10の発明によれば、放電による漸増電圧増加率の低下を防ぐことができ、それによってリセット期間の短縮を図ることができる。

【図面の簡単な説明】

【図1】

本発明に係る表示装置の構成図である。

【図2】

PDPのセル構造の一例を示す図である。

【図 3】

フレーム分割の概念図である。

【図 4】

駆動シーケンスの概要を示す電圧波形図である。

【図 5】

はYドライバのリセット回路の構成図である。

【図 6】

電圧出力ブロック対の第 1 例の機能構成図である。

【図 7】

正電圧出力ブロックの第 1 例を示す回路図である。

【図 8】

負電圧出力ブロックの第 1 例を示す回路図である。

【図 9】

電圧出力ブロック対の第 2 例を示す回路図である。

【図 1 0】

電圧出力ブロック対の第 3 例を示す回路図である。

【図 1 1】

電圧出力ブロック対の第 4 例を示す回路図である。

【図 1 2】

電圧出力ブロック対の第 5 例を示す回路図である。

【図 1 3】

正電圧出力ブロックの第 6 例を示す回路図である。

【図 1 4】

負電圧出力ブロックの第 6 例を示す回路図である。

【図 1 5】

スイッチングドライバの構成例を示す回路図である。

【図 1 6】

従来の駆動回路の構成を示す図である。

【図 17】

従来における駆動電圧の推移を示す図である。

【符号の説明】

TR リセット期間

ES 表示面

1 PDP (プラズマディスプレイパネル)

C_L 負荷

Prx1, Prx2, Pry1, Pry2 パルス (漸増電圧)

712, 712b, 712c, 712d インピーダンス変換回路

722, 722b, 722c, 722d インピーダンス変換回路

50 ドライブユニット (表示駆動装置)

C1, C2 容量素子

715, 725 定電流源

S1, S2 制御信号

711, 711d, 711e, 711f 波形生成回路

721, 721d, 721e, 721f 波形生成回路

713, 723 スイッチ回路

Q2, Q4, Q6, Q8 ダーリントン接続されたトランジスタ

Q12, Q16 MOSFET (電圧制御型トランジスタ)

D1, D2, D3, D4 逆流防止用のダイオード

R11, R12 抵抗

716, 726 ゲートドライバ (クランプ回路)

R1f, R2f 可変抵抗

T1, T2 パルストランス

718, 728 スイッチングドライバ

Q3, Q7 トランジスタ (スイッチング素子)

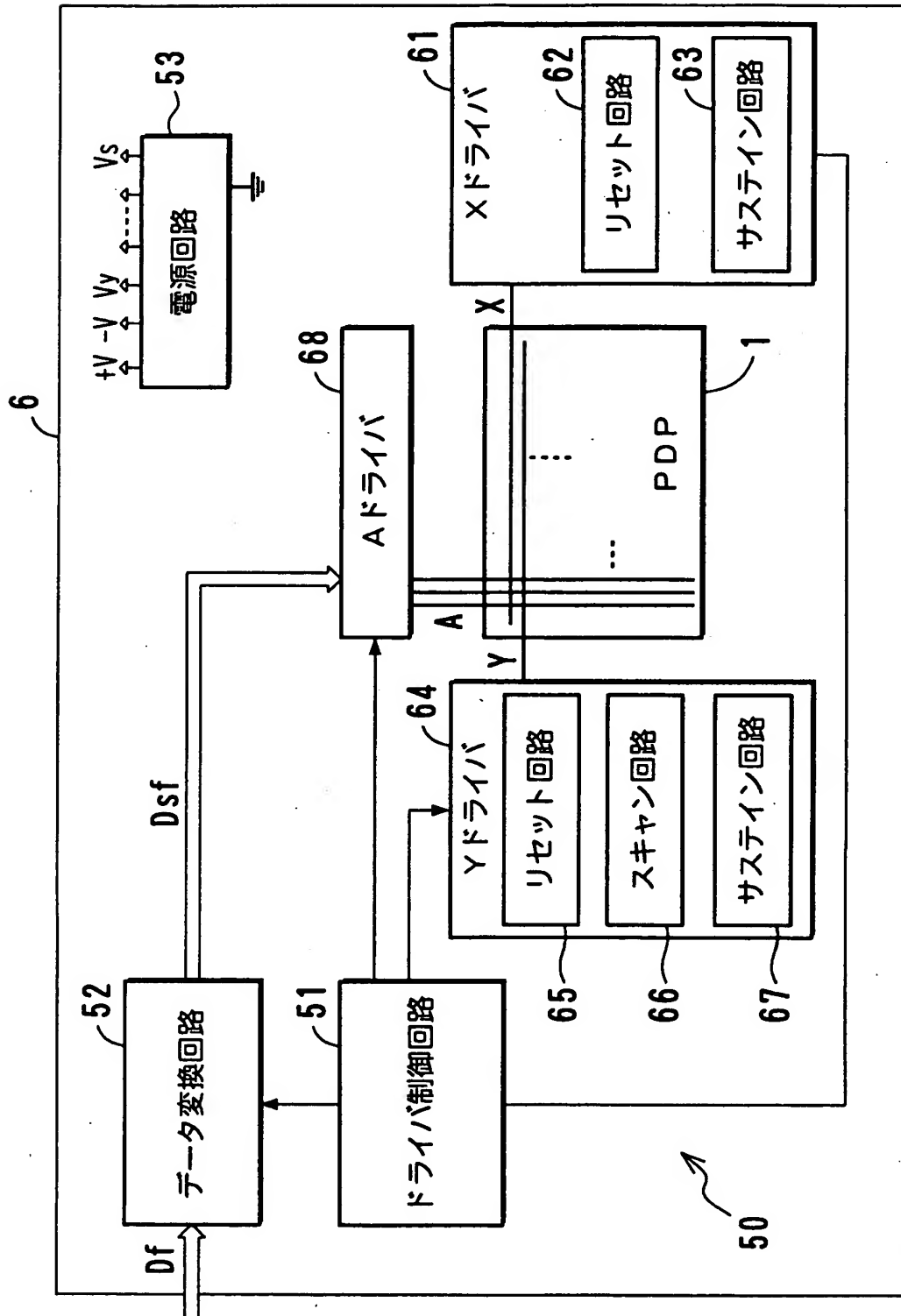
特 2 0 0 1 - 0 5 7 6 1 8

【書類名】

図面

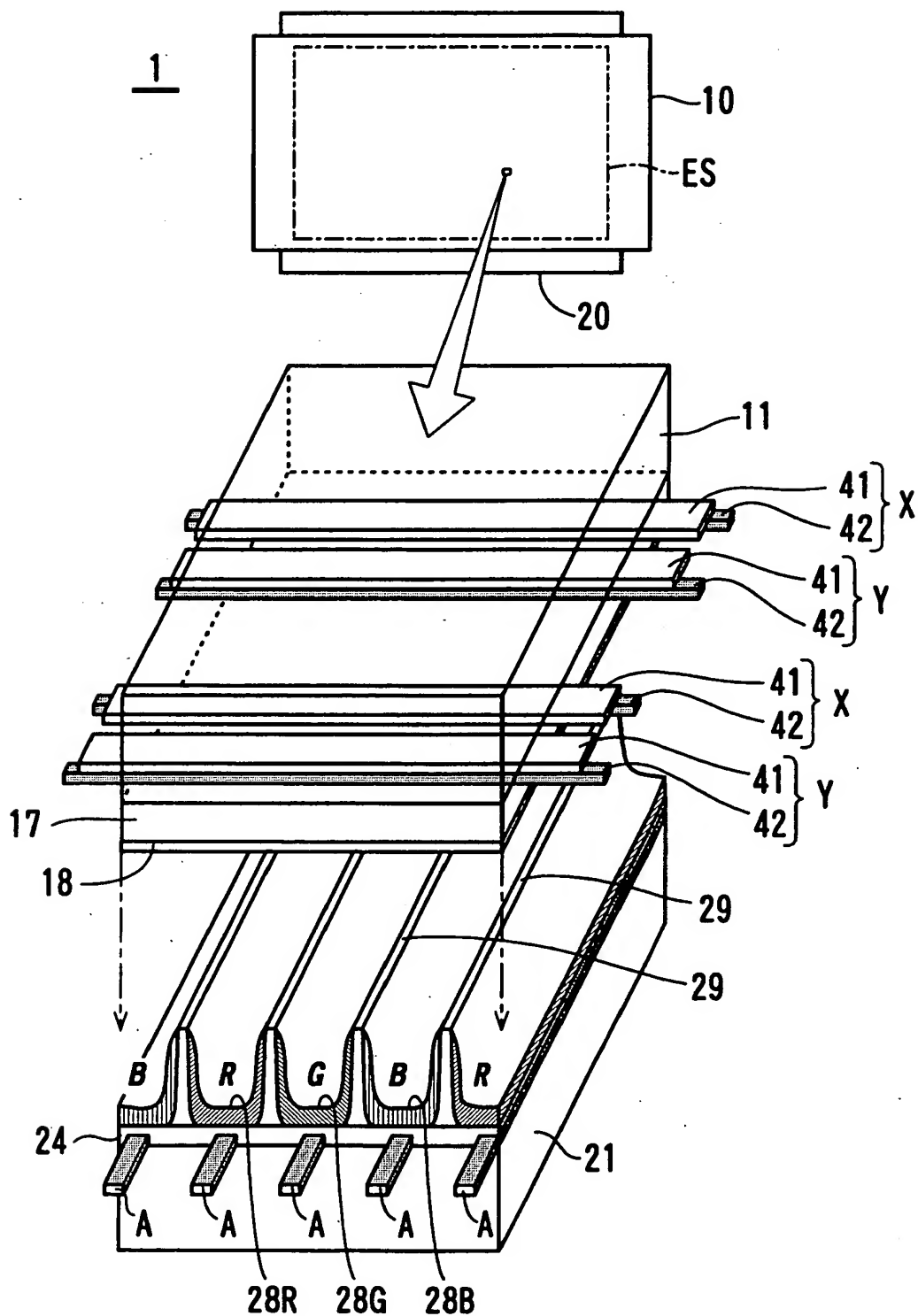
【図 1】

本発明に係る表示装置の構成図



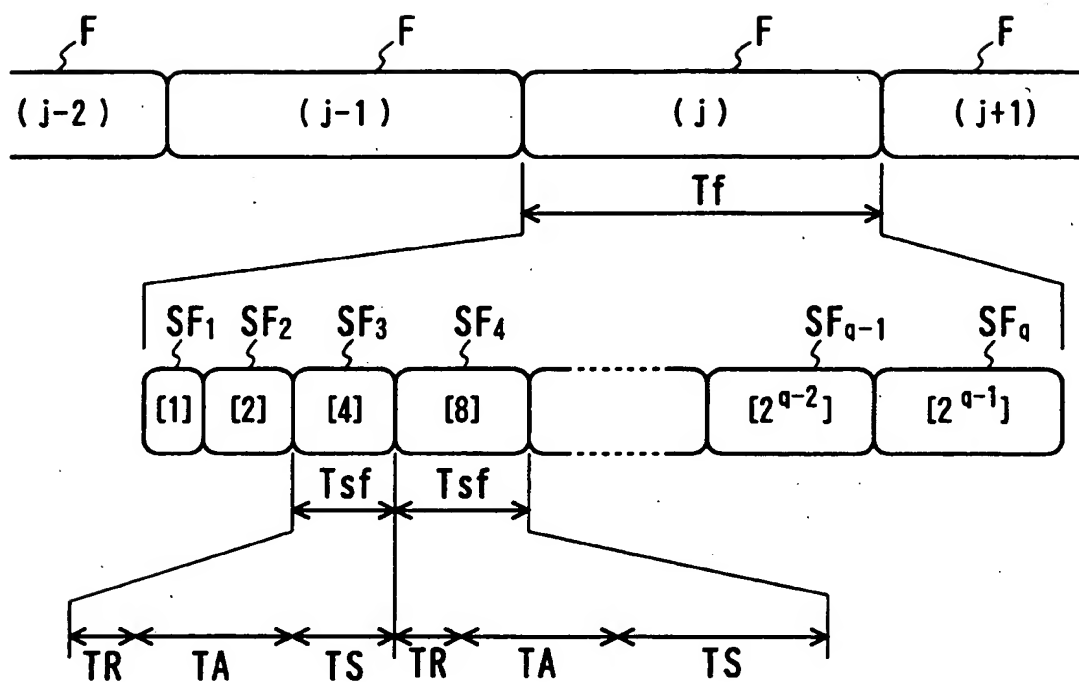
【図 2】

PDPのセル構造の一例を示す図



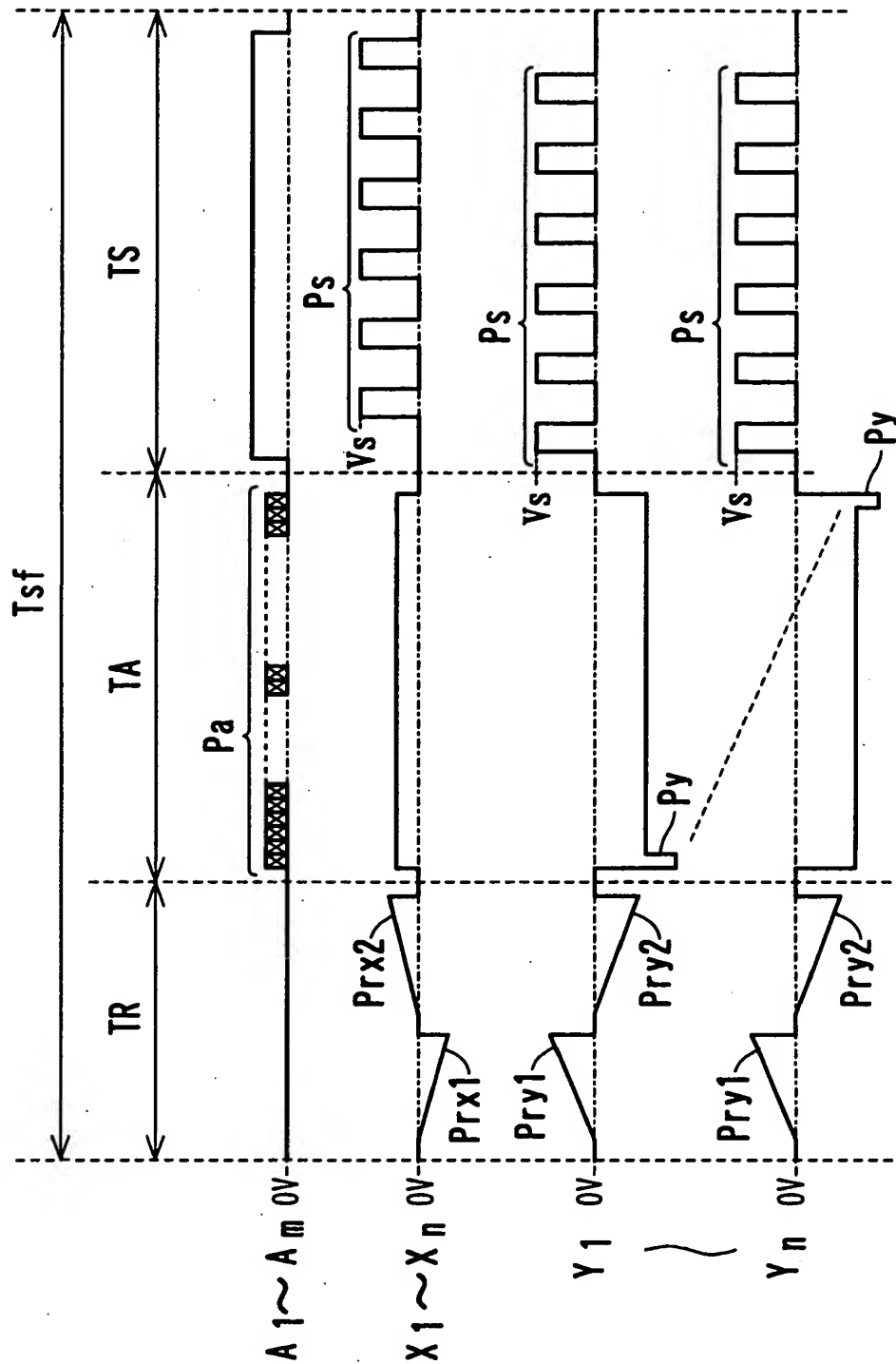
【図 3】

フレーム分割の概念図



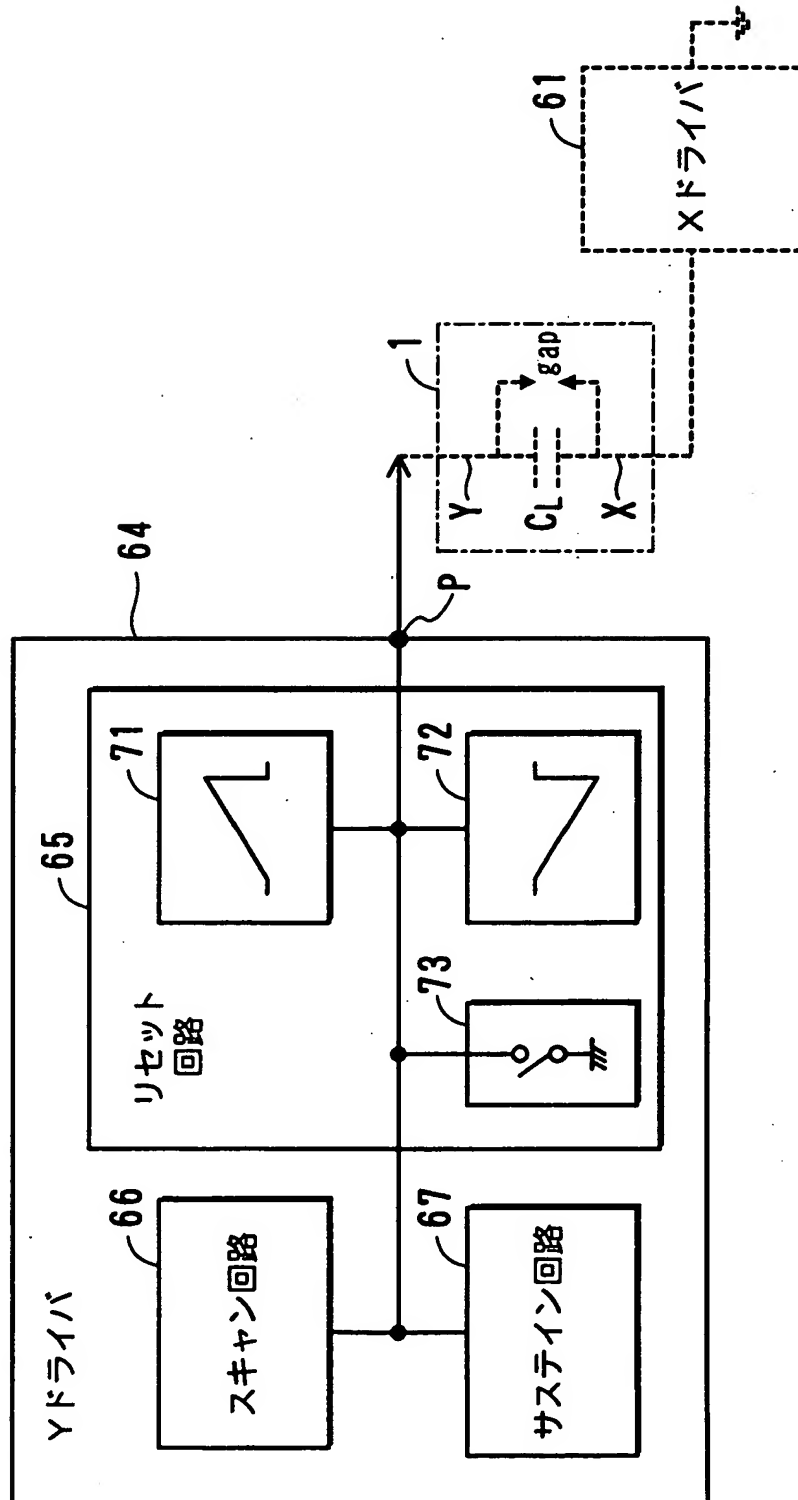
【図 4】

駆動シーケンスの概要を示す電圧波形図



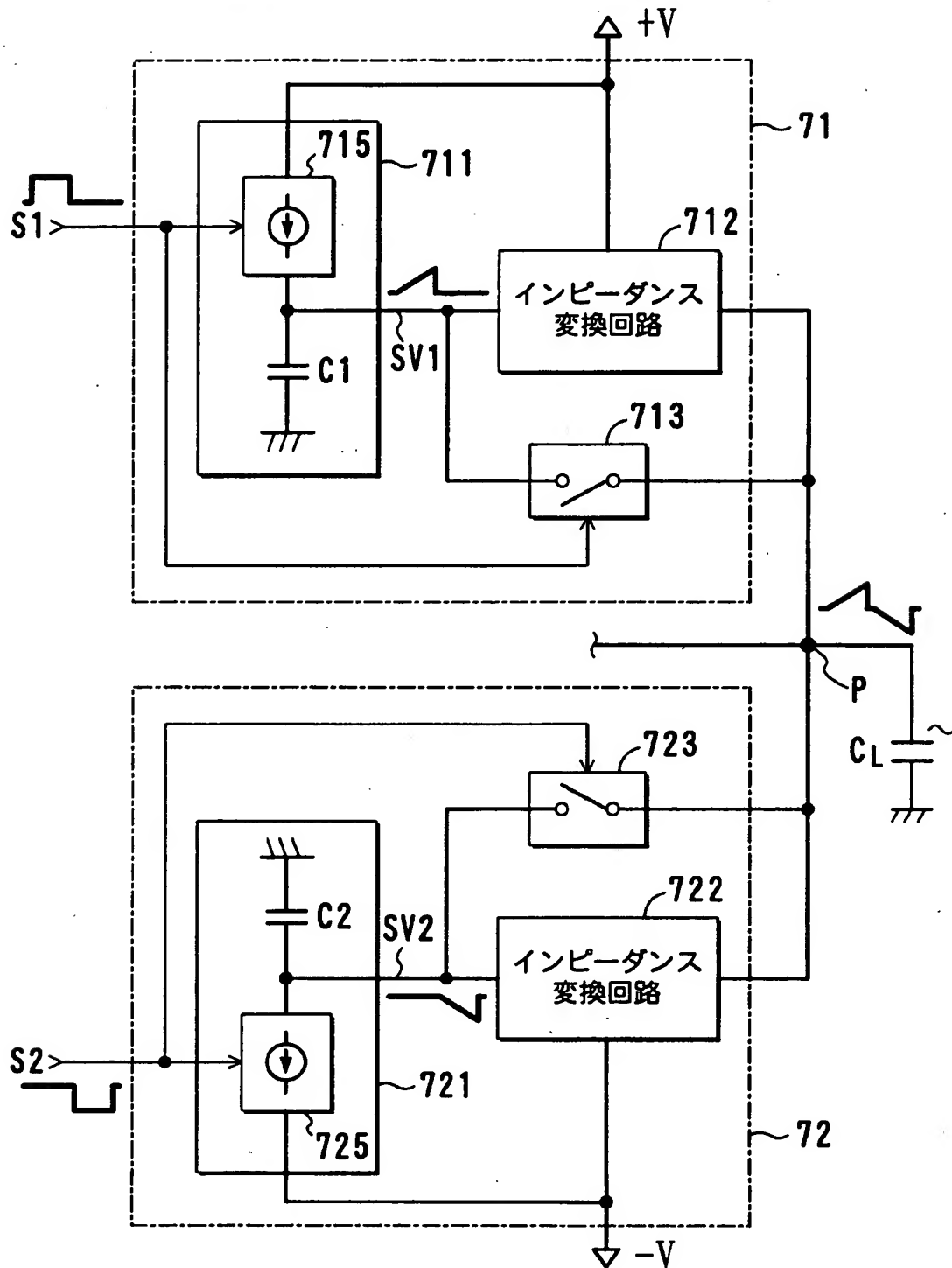
【図 5】

Yドライバのリセット回路の構成図



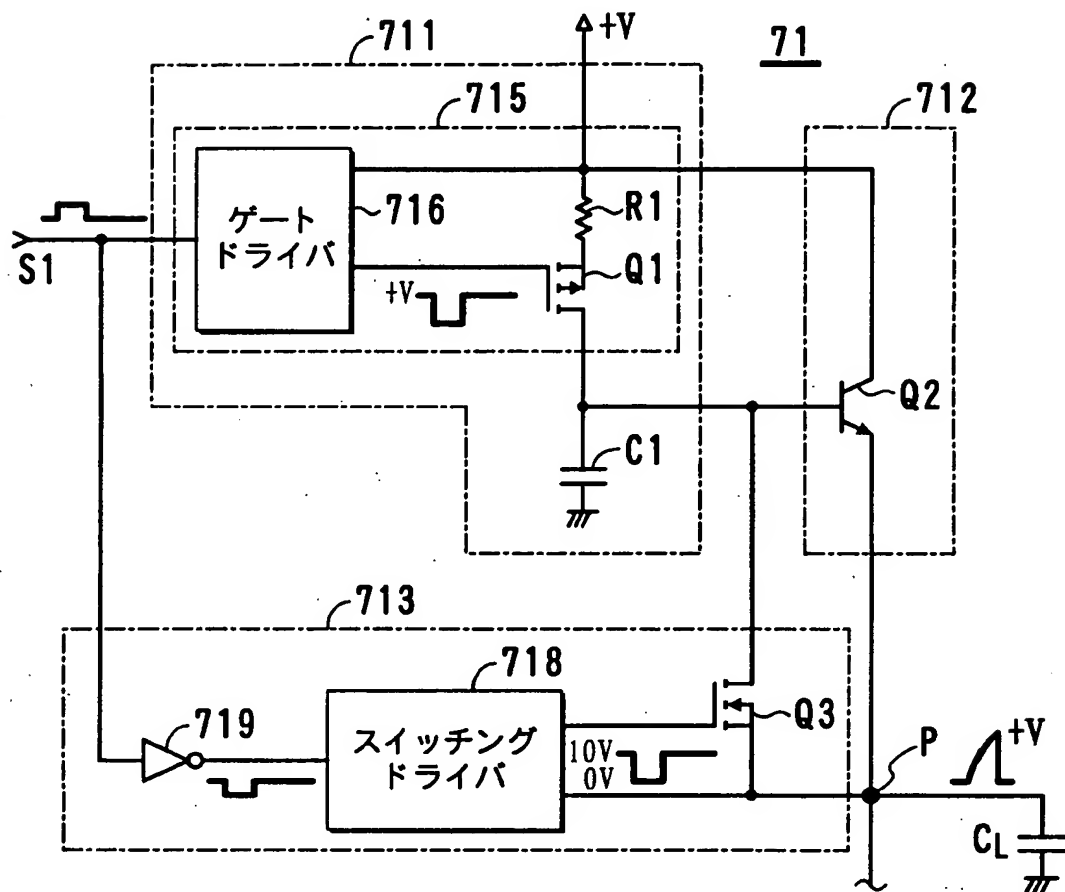
【図 6】

電圧出力ブロック対の第 1 例の機能構成図



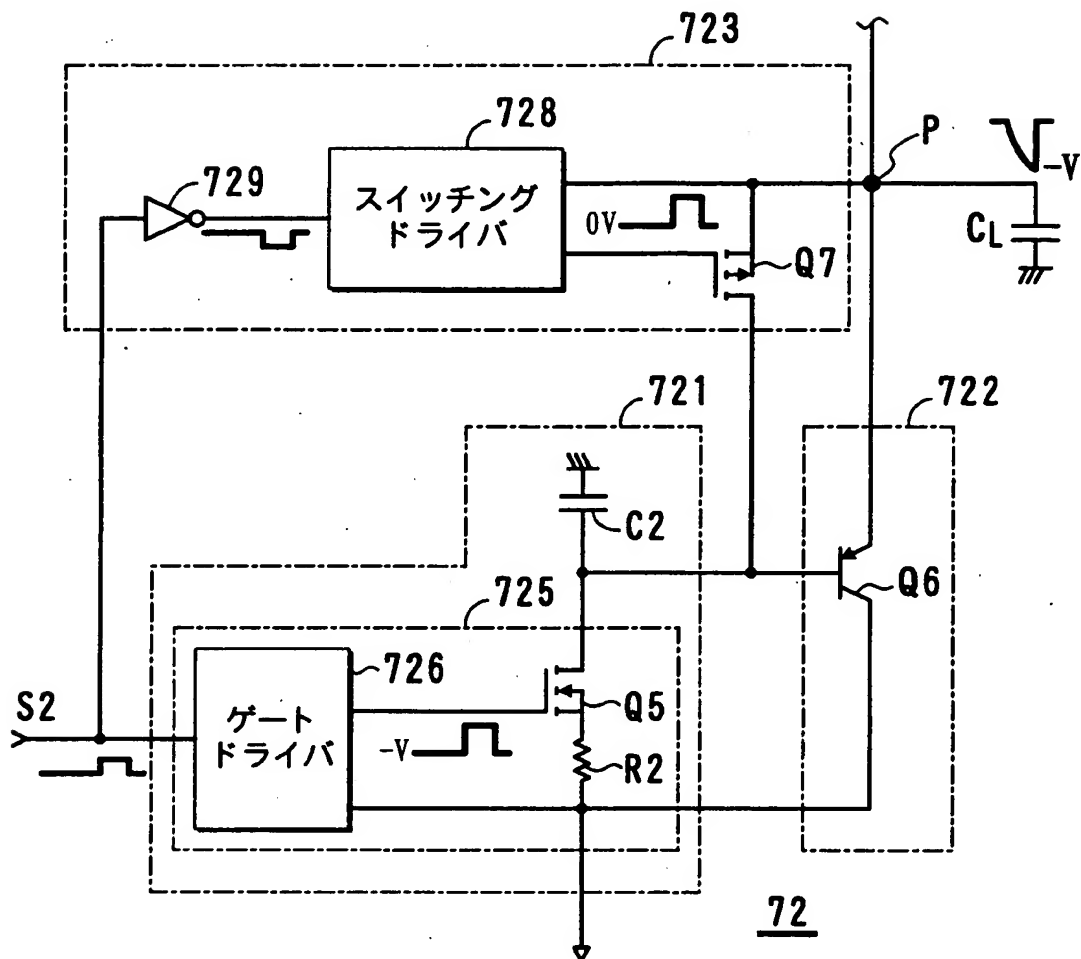
【図 7】

正電圧出力ブロックの第1例を示す回路図



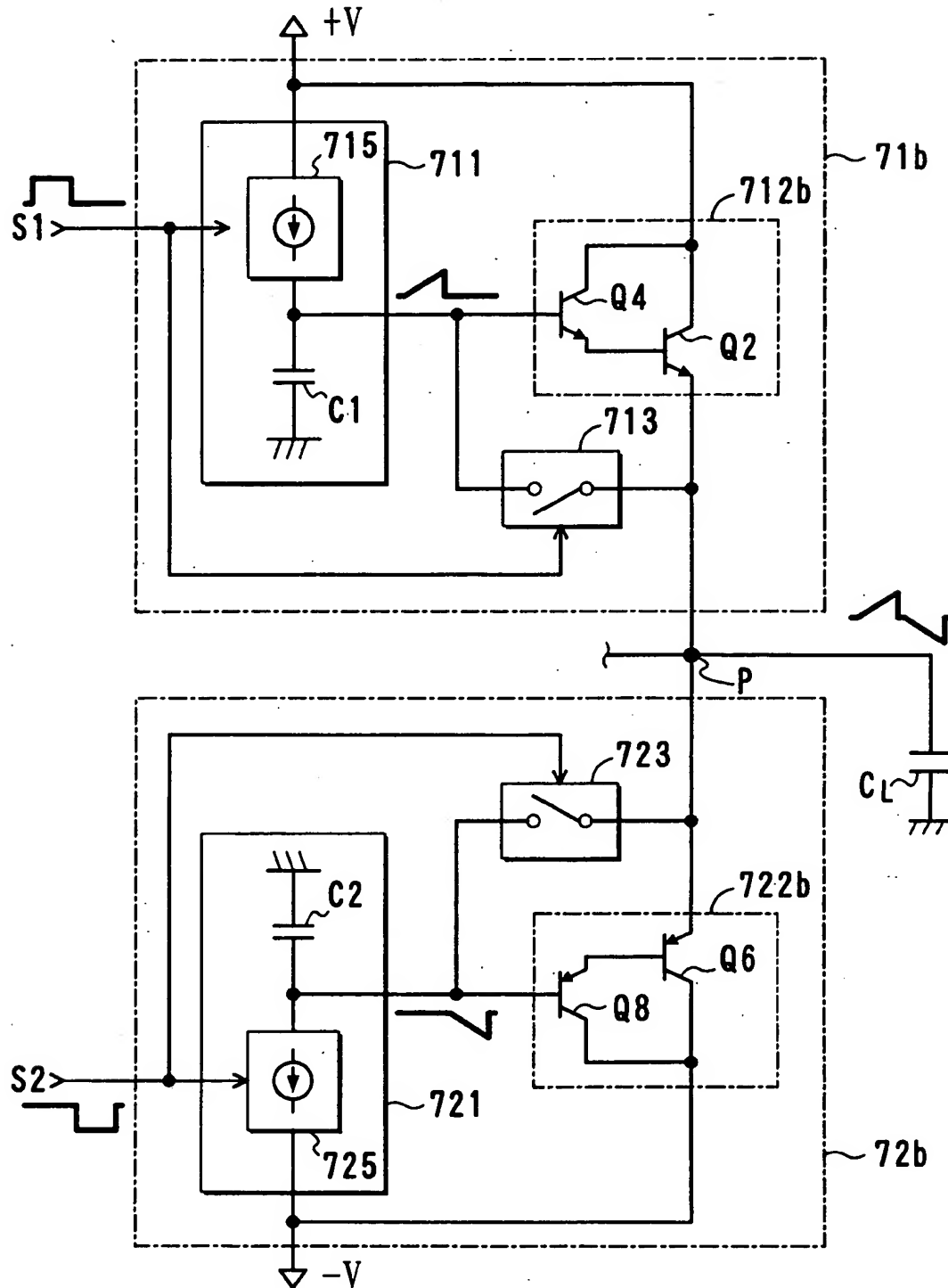
【図 8】

負電圧出力ブロックの第 1 例を示す回路図



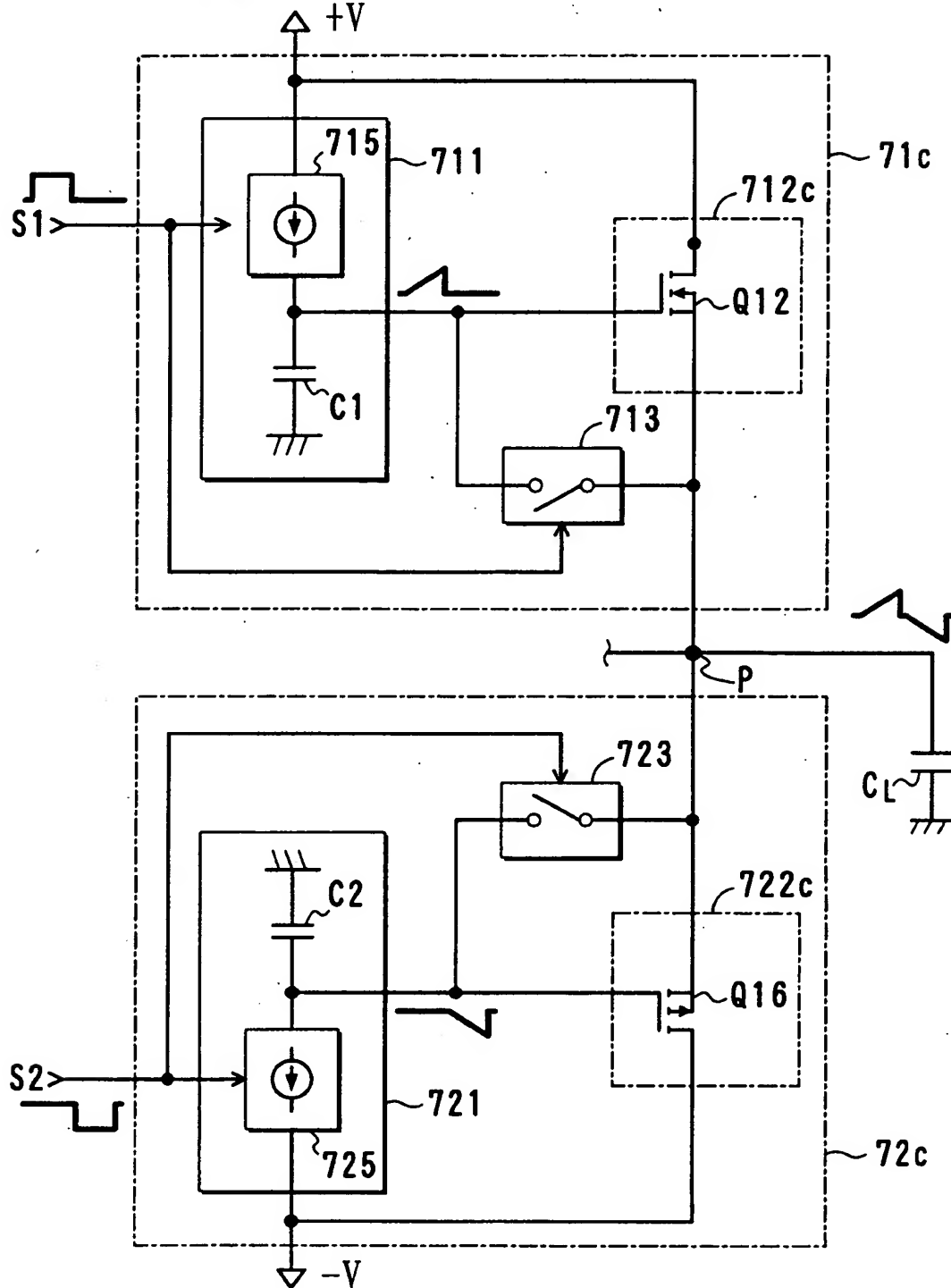
【図 9】

電圧出力ブロック対の第 2 例を示す回路図



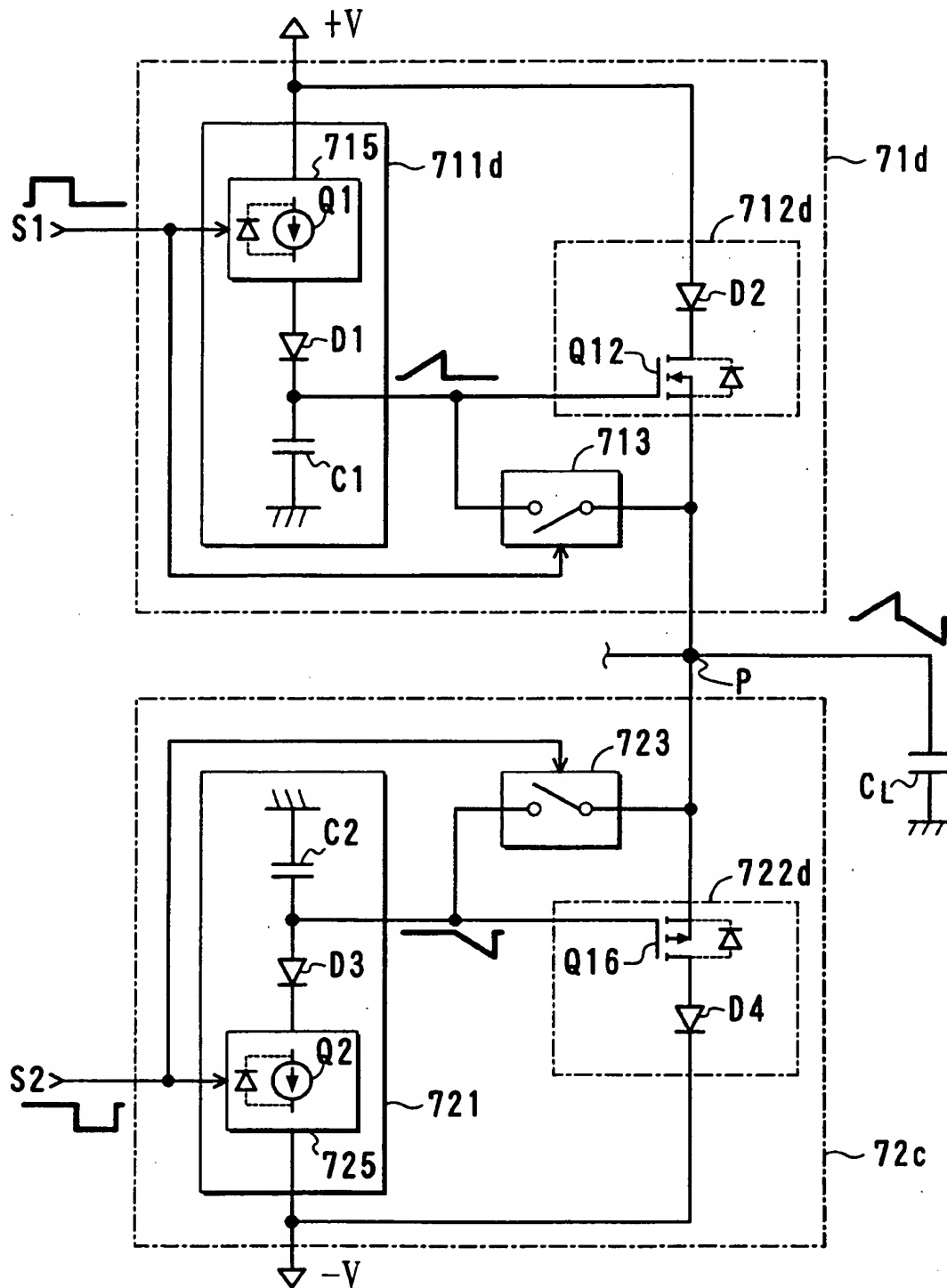
【図 10】

電圧出力ブロック対の第 3 例を示す回路図



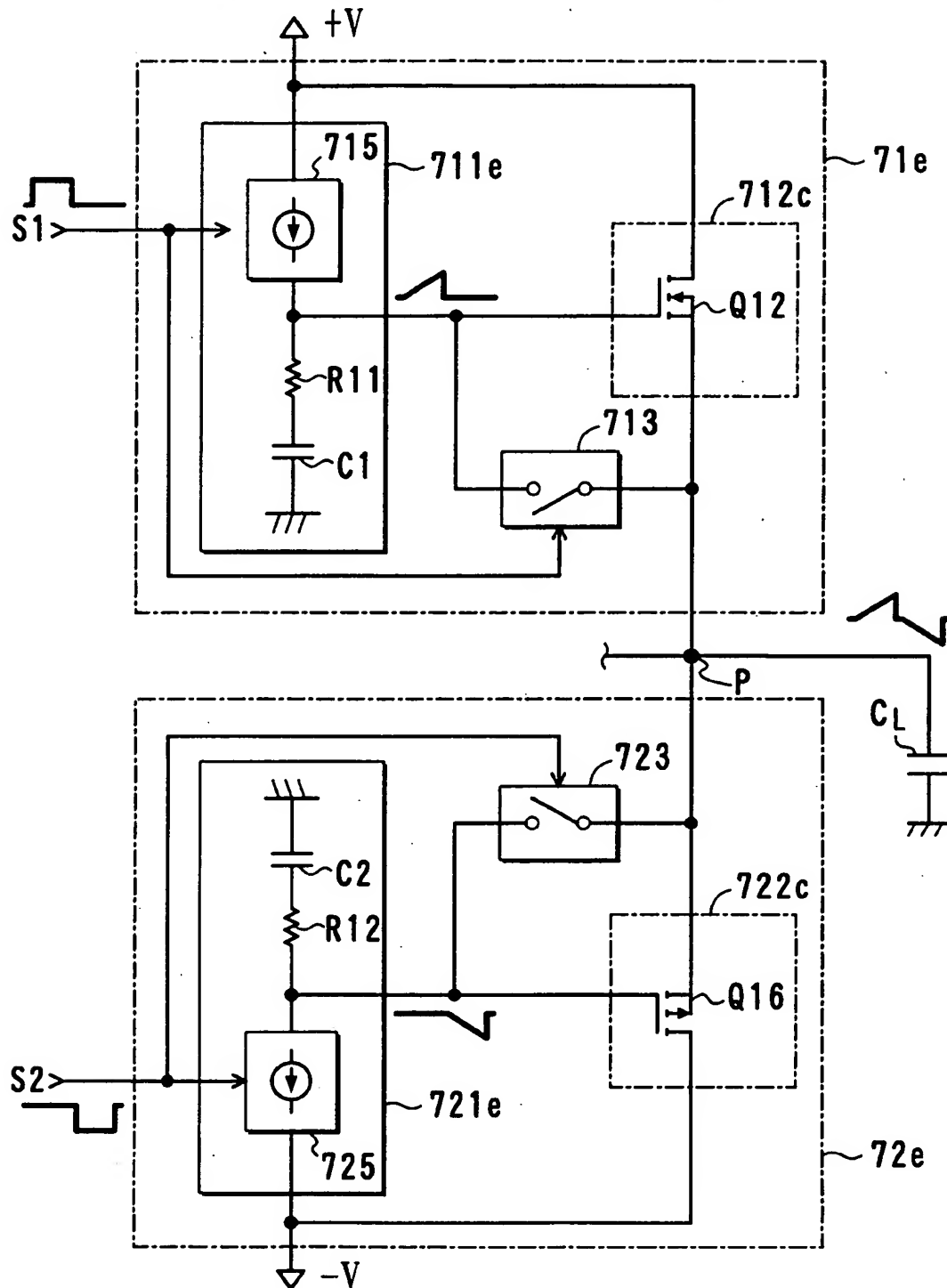
【図 11】

電圧出力ブロック対の第 4 例を示す回路図



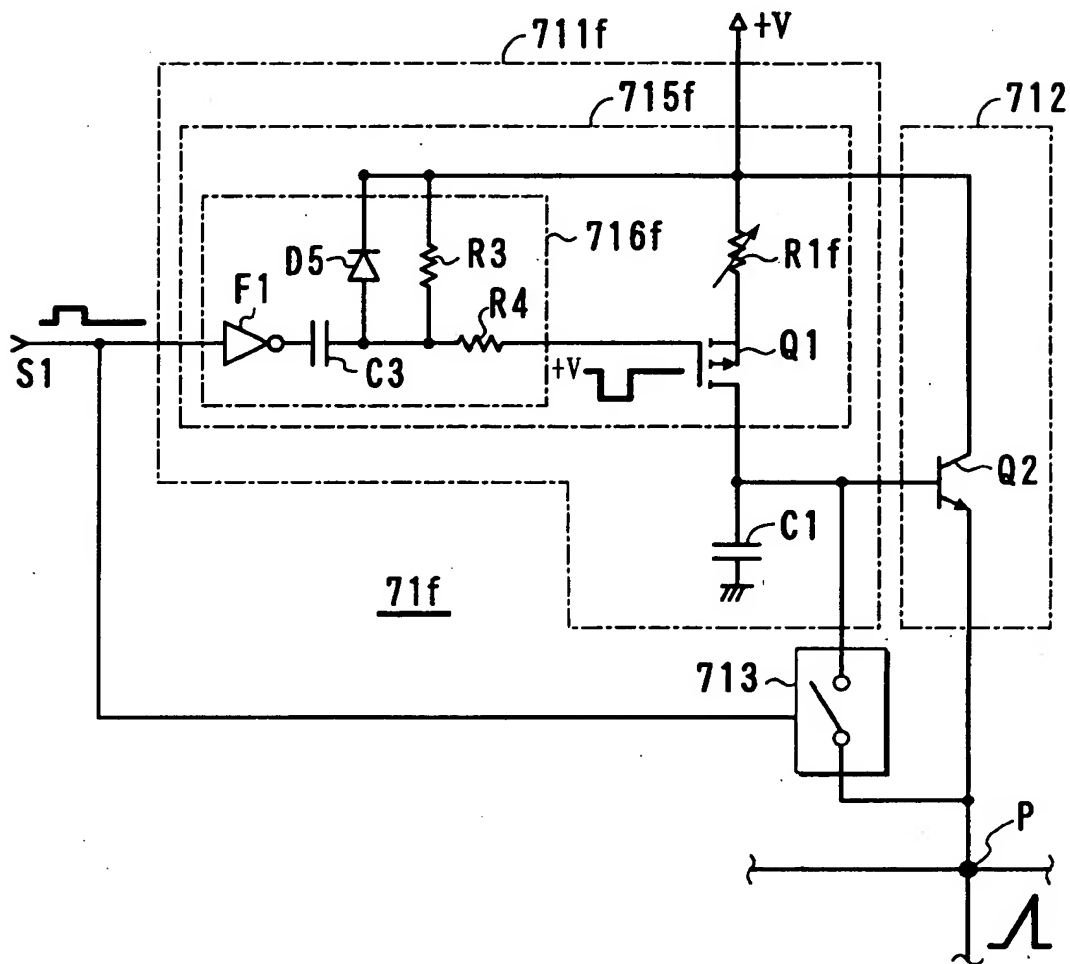
【図 12】

電圧出力ブロック対の第5例を示す回路図



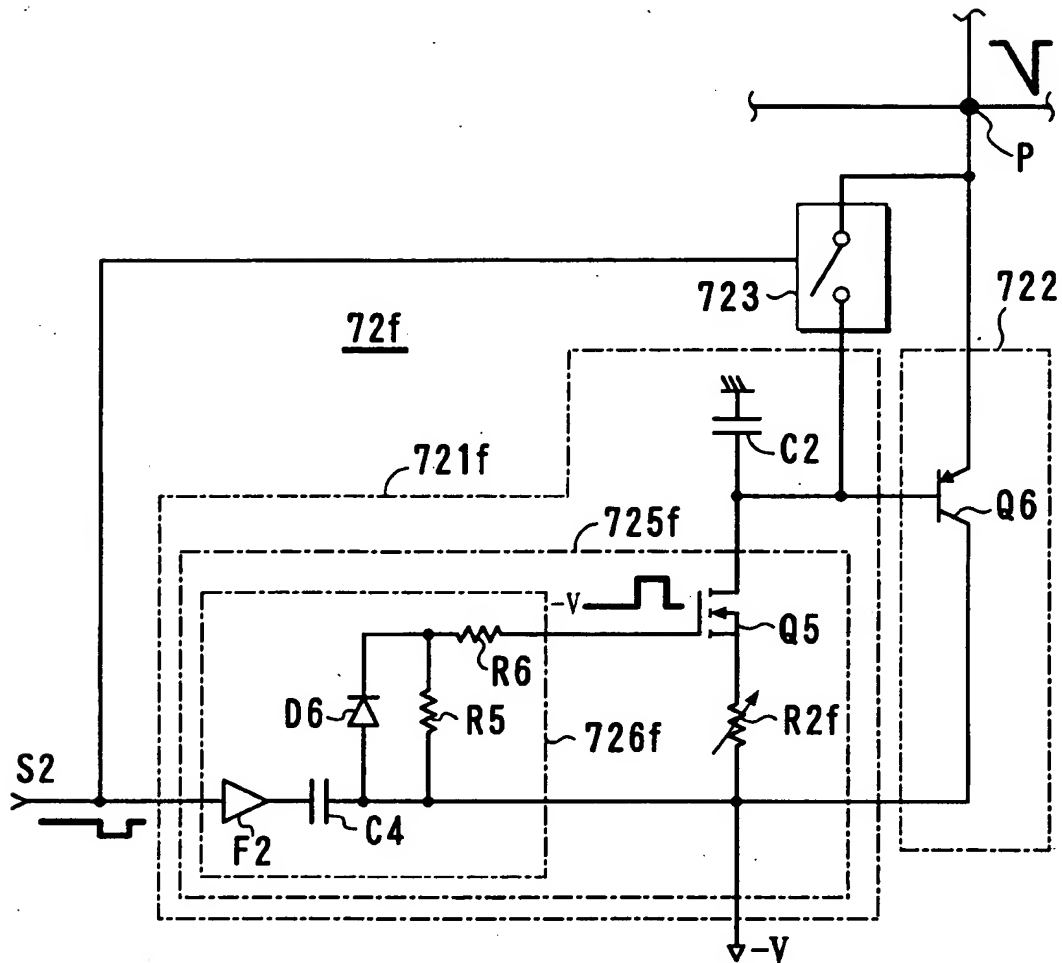
【図 13】

正電圧出力ブロックの第6例を示す回路図



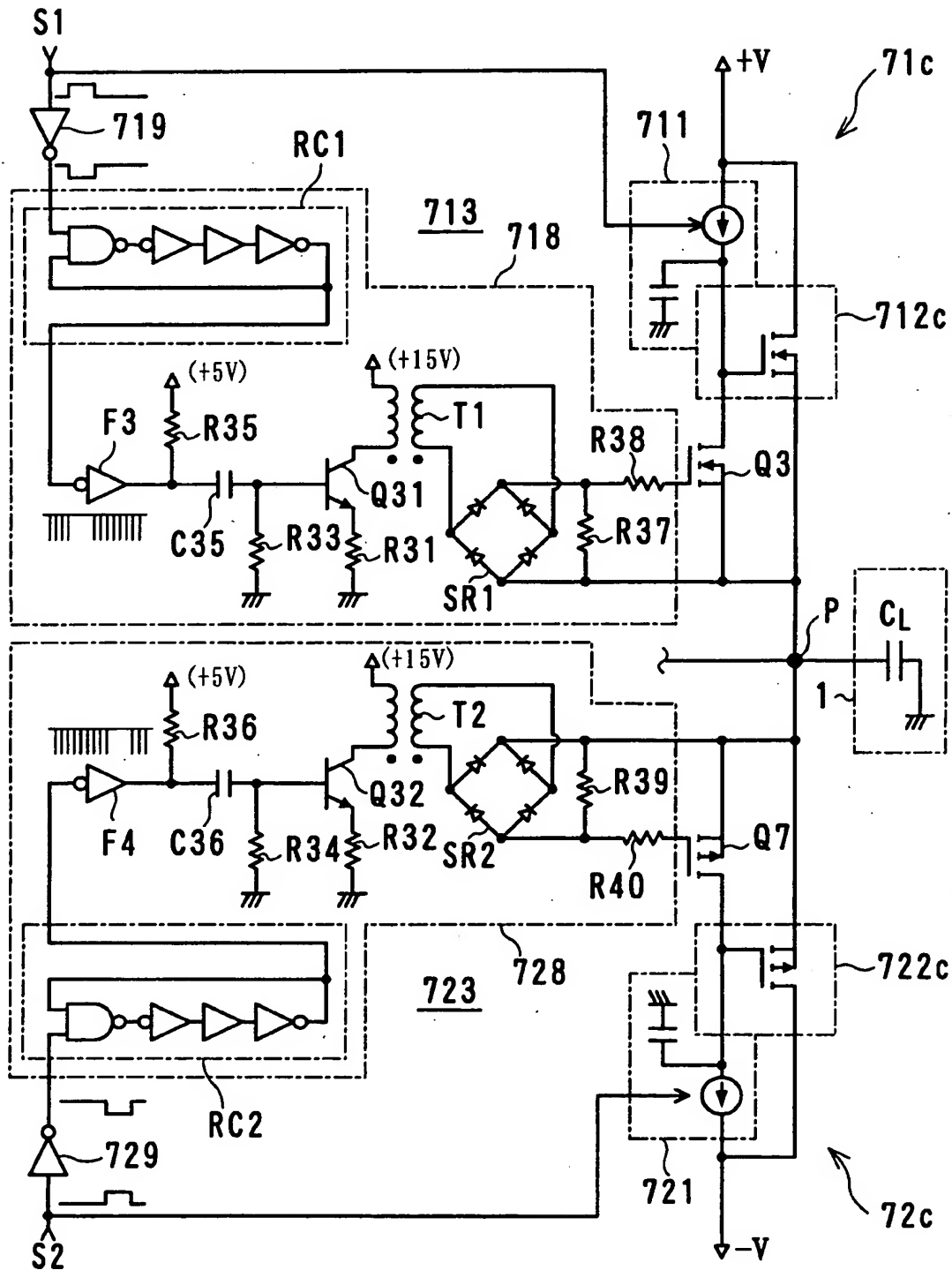
【図 14】

負電圧出力ブロックの第6例を示す回路図



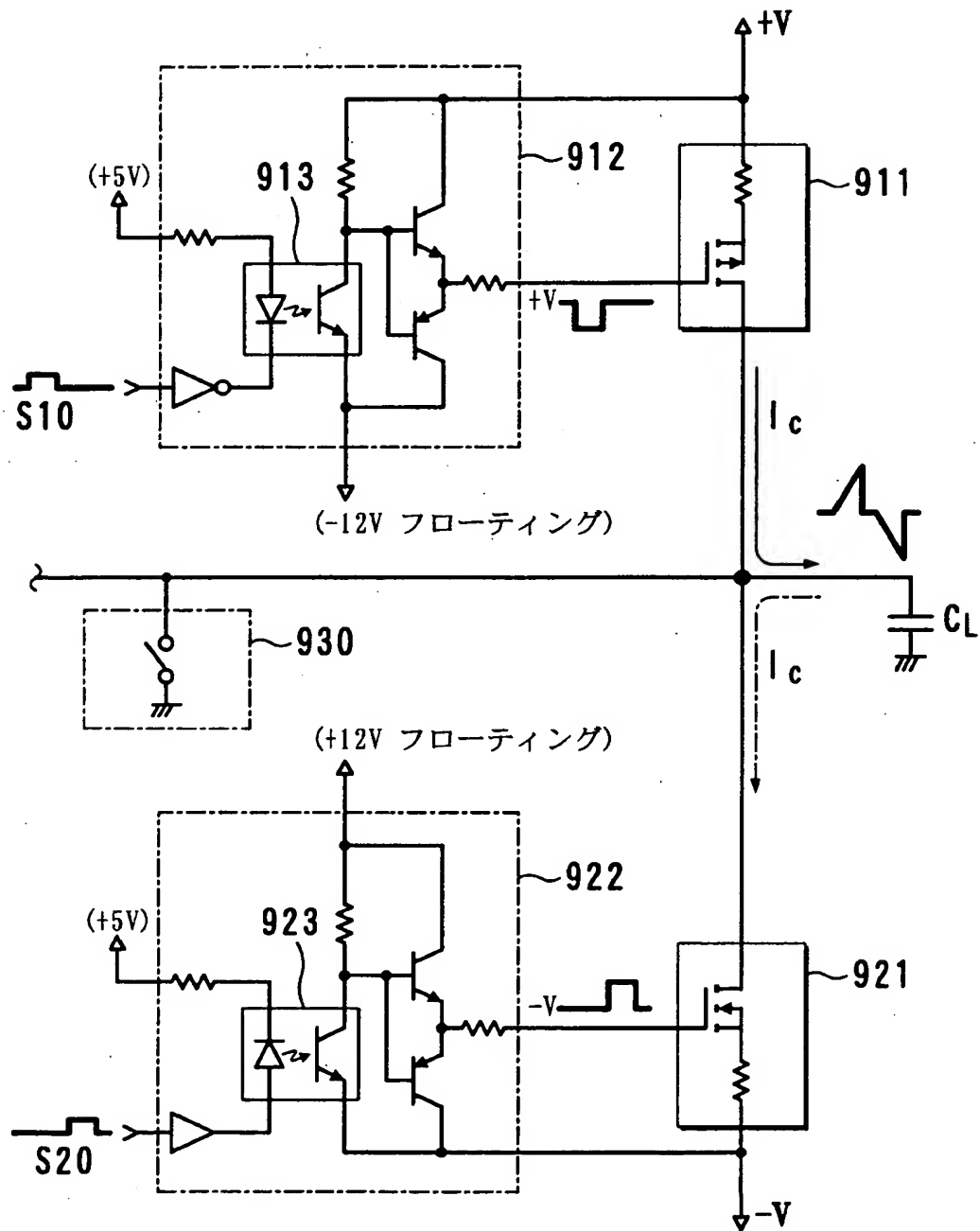
【図15】

スイッチングドライバの構成例を示す回路図



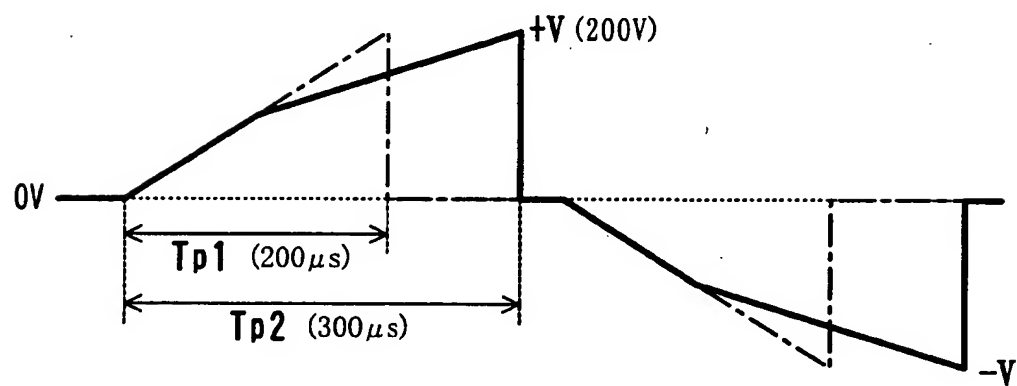
【図 16】

従来の駆動回路の構成を示す図



【図 17】

従来における駆動電圧の推移を示す図



【書類名】 要約書

【要約】

【課題】 放電による漸増電圧増加率の低下を防ぎ、リセット期間の短縮を図る。

【解決手段】 表示面を構成するセル群 C_L の電荷を均等化するリセット期間に、セル群 C_L に漸増電圧を印加するプラズマディスプレイパネルの駆動において、入力インピーダンスよりも出力インピーダンスが低いインピーダンス変換回路 712, 722 に漸増電圧信号 $SV1$, $SV2$ を入力し、インピーダンス変換回路 712, 722 の出力信号をセル群 C_L に与える。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社